



Politechnika Łódzka

Instytut Fizyki

Laboratorium elektroniki

Ćwiczenie E14IN

Elementy logiczne

Spis treści:

1. Cel ćwiczenia.....	3
2. Zagrożenia	3
3. Wprowadzenie	3
4. Dostępna aparatura	5
4.1. Moduł doświadczalny.....	5
4.2. Multimetry.....	5
4.3. Zasilacz laboratoryjny	6
4.4. Generator funkcyjny.....	6
4.5. Oscyloskop	6
5. Przebieg doświadczenia.....	6
5.1. Charakterystyka wejściowa bramki logicznej (wersja podstawowa)	6
5.2. Charakterystyka przejściowa i moc rozpraszana przez bramkę logiczną (wersja podstawowa)	7
5.3. Charakterystyka wyjściowa bramki logicznej (wersja podstawowa)	9
5.4. Wizualizacja charakterystyki przejściowej bramki logicznej (wersja rozszerzona) ...	10
6. Wskazówki do raportu.....	11
7. Literatura	13
7.1. Literatura podstawowa	13
7.2. Literatura uzupełniająca	13

Przed zapoznaniem się z instrukcją i przystąpieniem do wykonywania ćwiczenia należy opanować następujący materiał teoretyczny:

1. Reprezentacja stanów logicznych 0 i 1 w najpopularniejszych typach układów logicznych TTL i CMOS. [1-3,6]
2. Opis właściwości statycznych bramek logicznych. Najważniejsze charakterystyki i parametry bramek. [1-4]
3. Co to jest margines zakłóceń? [1,2,6]
4. Symbole graficzne funktorów realizujących podstawowe funkcje logiczne AND, OR, NOT, NAND, NOR, EX-OR i EX-NOR oraz funktora wzmacniającego. [1-5]
5. Porównanie konstrukcji bramek NAND zrealizowanych w technice TTL i CMOS. [1-5]

1. Cel ćwiczenia

Celem ćwiczenia jest zbadanie statycznych charakterystyk wejściowych, przejściowych i wyjściowych bramki logicznej.

2. Zagrożenia

Rodzaj	Brak	Małe	Średnie	Duże
zagrożenie elektryczne		+		
zagrożenie optyczne	+			
zagrożenie mechaniczne (w tym akustyczne, hałas)	+			
zagrożenie polem elektro-magnetycznym (poza widmem optycznym)	+			
zagrożenie biologiczne	+			
zagrożenie radioaktywne (jonizujące)	+			
zagrożenie chemiczne	+			
zagrożenie termiczne (w tym wybuch i pożar)	+			

Przewody z wtykami bananowymi są przeznaczone wyłącznie do użytku w obwodach niskiego napięcia – nie wolno podłączać ich do gniazda sieci zasilającej 230 V.

3. Wprowadzenie

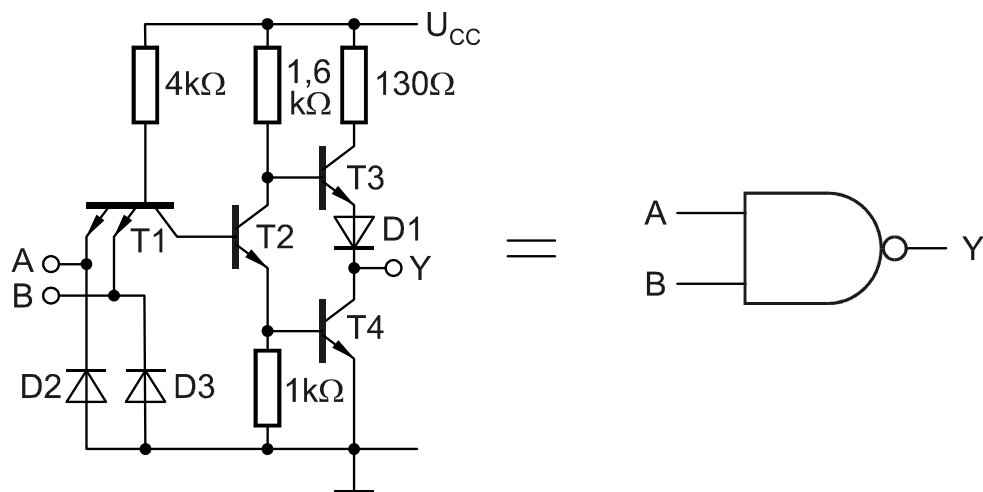
Układy scalone zrealizowane w technice TTL (*ang.* Transistor-Transistor Logic) były pierwszą szeroko wykorzystywaną klasą układów cyfrowych i stały się podstawą do budowy komputerów i innych urządzeń cyfrowych. Obecnie układy o bardzo wysokiej skali integracji wykonywane są w innych technologiach, natomiast układy TTL znajdują wciąż szerokie zastosowanie jako logika łącząca.

Układy TTL zbudowane są z tranzystorów bipolarnych oraz rezystorów i zasilane są napięciem stałym 5 V. Podstawową bramką dla całej rodziny TTL jest bramka NAND, w której wejścia są połączone bezpośrednio z emiterami tranzystora wieloemiterowego (rys. 1). Struktura taka jest funkcjonalnie równoważna układowi tranzystorów o połączonych bazach

oraz kolektorach. Dodatkowe diody przyłączone do wejść bramki zabezpieczają tranzystor przed oscylacjami powstającymi na liniach łączących bramki.

Rozpatrzmy dokładniej działanie układu przedstawionego na rys. 1. Przy podaniu na oba wejścia układu sygnału logicznego 1 (zbliżonego do napięcia zasilania +5 V) złącza baza-emiter tranzystora T1 są spolaryzowane zaporowo, co umożliwia przepływ prądu bazy T1 przez złącze baza-kolektor do bazy tranzystora T2 powodując jego nasycenie. Napięcie kolektora T2 spada do wartości bliskiej zero, tak więc tranzystor T3 nie przewodzi. Część prądu emiterowego tranzystora T2 wpływa do bazy tranzystora T4 powodując jego przewodzenie i w konsekwencji napięcie na wyjściu Y obniża się do wartości około +0,2 V, co odpowiada stanowi logicznemu 0.

Jeżeli na chociaż jednym wejściu bramki jest sygnał 0, to przez złącze baza-emiter tranzystora T1 przepływa do tego wejścia prąd o typowej wartości około 1 mA. Baza T1 jest wówczas na niskim potencjale i złącza baza-kolektor T1 i baza-emiter T2 nie przewodzą. Zatkanie tranzystora T2 powoduje, że rezystor 1,6 kΩ podnosi napięcie jego kolektora prawie do napięcia zasilającego, powodując tym przewodzenie T3. Stan wyjścia Y wynika wówczas z pracy T3 jako wtórnika emiterowego, w konsekwencji napięcie na wyjściu Y wynosi co najmniej +3,3 V, co odpowiada stanowi logicznemu 1.



Rys. 1. Struktura dwuwejściowej bramki NAND w technologii TTL, seria standardowa.

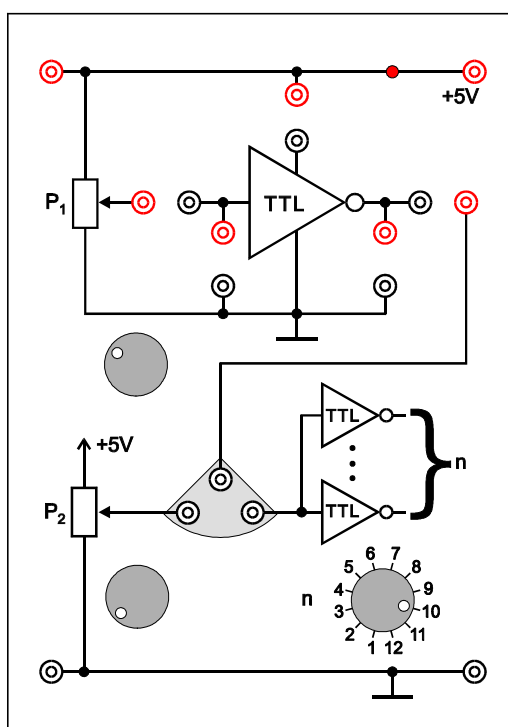
Na stanowisku pomiarowym badana jest pojedyncza bramka logiczna wykonana w technice TTL, seria standardowa, realizująca funkcję NOT. Ponieważ bramki o małej liczbie wejść są umieszczane po kilka sztuk w jednym układzie scalonym, zastosowano układ UCY 7430 zawierający jedną 8-io wejściową bramkę NAND. Dzięki temu pomiar prądu zasilania I_z badanej bramki nie jest zaburzany przez inne bramki. Na panelu czołowym modułu pomiarowego wyprowadzono tylko jedno z wejść bramki NAND, podczas gdy pozostałe znajdują się zawsze w stanie wysokim.

4. Dostępna aparatura

4.1. Moduł doświadczalny

Panel czołowy modułu doświadczalnego przedstawiono na rys. 2. Pod względem funkcjonalnym moduł ten można podzielić na cztery części:

- dzielnik napięciowy zbudowany na potencjometrze P_1 pozwalający na sterowanie wejścia bramki napięciami regulowanymi w zakresie od 0 do 5 V,
- badana bramka NOT,
- rezystancyjne obciążenie, umożliwiające regulację potencjometrem P_2 prądów wyjściowych bramki w zakresie od 0 do wartości około 15 mA zbliżonej do katalogowego maksymalnego ciągłego prądu wyjściowego,
- alternatywne obciążenie wyjścia badanej bramki w postaci wejść kolejnych bramek w liczbie wybieranej od 1 do 12.



Rys. 2. Panel czołowy modułu doświadczalnego.

4.2. Multimetry

Pomiary napięć i natężeń prądów w module doświadczalnym wykonuje się przy użyciu trzech multimetrów cyfrowych. Na stanowisku pomiarowym mogą być używane następujące modele: KT890, M-3800, M-4650, UT-804 lub Protek 506 [7].

4.3. Zasilacz laboratoryjny

Zasilanie modułu doświadczalnego zrealizowano przy użyciu zasilacza laboratoryjnego SIGLENT SPD3303D [7]. W tym ćwiczeniu używane jest tylko wyjście o nieregulowanym napięciu +5 V.

4.4. Generator funkcyjny

Generator funkcyjny DF1641B [7] jest wykorzystywany jako źródło przebiegu prostokątnego zgodnego ze standardem TTL.

4.5. Oscyloskop

W tym ćwiczeniu wykorzystuje się dwukanałowy oscyloskop analogowy GOS-620 albo GOS-630 [7].

5. Przebieg doświadczenia

5.1. Charakterystyka wejściowa bramki logicznej (wersja podstawowa)

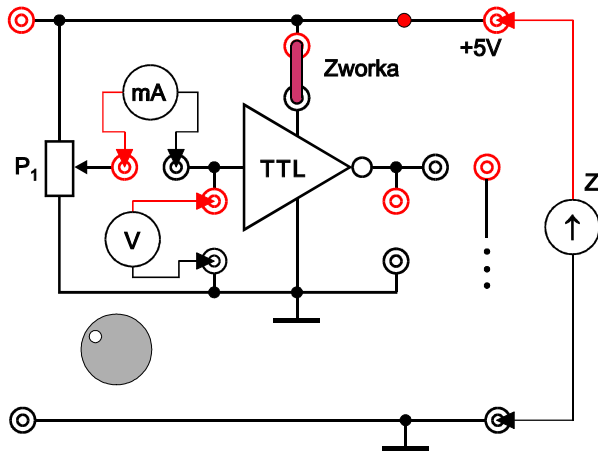
1. Podłączyć zasilacz (Z – SPD3303D), miliamperomierz (mA), woltomierz (V) oraz Zworki z modułem zawierającym badaną bramkę logiczną jak na rys. 3.

UWAGA:

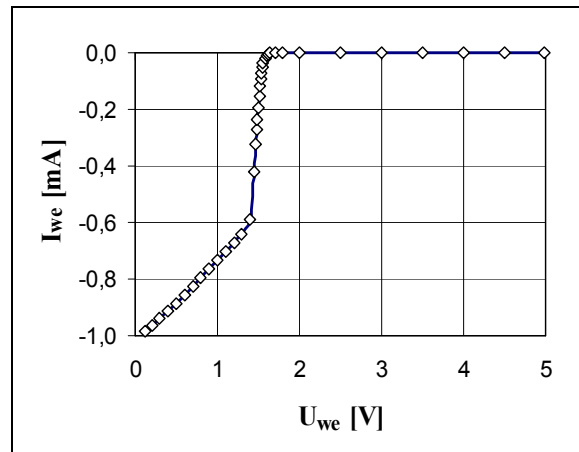
- a) moduł pomiarowy powinien być zasilany z wyjścia zasilacza zapewniającego stałe napięcie +5 V (gniazda z prawej strony zasilacza). Nie używać wyjść umożliwiających płynną zmianę napięcia,
- b) nie wolno łączyć linii zasilania +5 V i masy z gniazdami nie należącymi na schemacie do tych linii.

Nieprzestrzeganie powyższych zaleceń grozi uszkodzeniem urządzeń.

2. W amperomierzu (mA) wybrać zakres pomiarowy odpowiedni dla prądów stałych o wartościach do 1 mA (zakres 2 mA DC w przypadku multimetrów KT890, M-3800 oraz M-4650, automatyczny zakres albo zakres 40 mA DC w multimetrze UT-804, natomiast multimetr Protek 506 nie jest zalecany do tego pomiaru z powodu braku odpowiedniego zakresu pomiarowego).
3. Na woltomierzu (V) wybrać zakres pomiarowy odpowiedni dla napięć stałych o wartościach do 5 V (zakres 20 V DC w multimetrach KT890, M-3800 oraz M-4650, automatyczny zakres albo zakres 40 V DC w multimetrach UT-804 i Protek 506).
4. Po uzyskaniu zezwolenia od opiekuna włączyć zasilacz. Sprawdzić czy świeci się czerwona dioda umieszczona w module pomiarowym na linii +5 V.
5. Zmieniając potencjometrem P_1 napięcie wejściowe bramki U_{we} w zakresie od 0 do 5 V wyznaczyć zależność prądu wejściowego I_{we} od U_{we} . Dla napięć U_{we} wynoszących około 1,3 ÷ 1,6 V należy zwrócić uwagę na zmniejszenie kroku pomiarowego, ponieważ w tym obszarze dochodzi do znacznych zmian prądu I_{we} na skutek niewielkich przyrostów U_{we} . Wyniki pomiarów zapisać w Tabeli 1.
6. Wyłączyć zasilanie i rozłączyć układ.



Rys. 3. Schemat układu do wyznaczania charakterystyki wejściowej bramki logicznej.



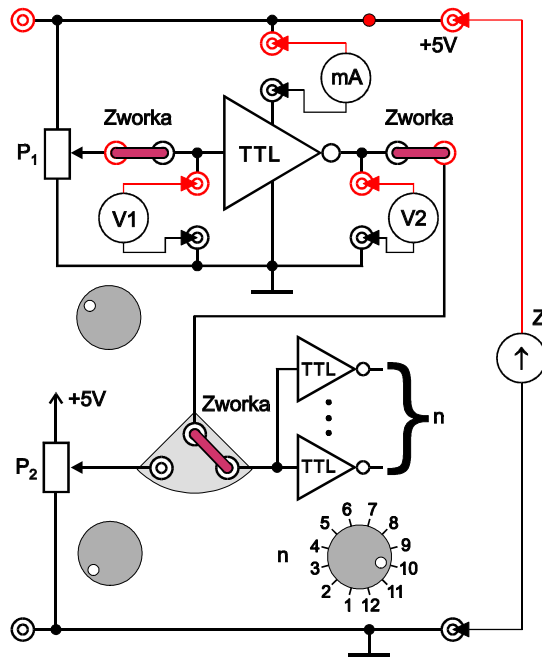
Rys. 4. Przykładowa charakterystyka wejściowa bramki logicznej wykonanej w technice TTL.

Lp.	U_{we} [V]	I_{we} [mA]

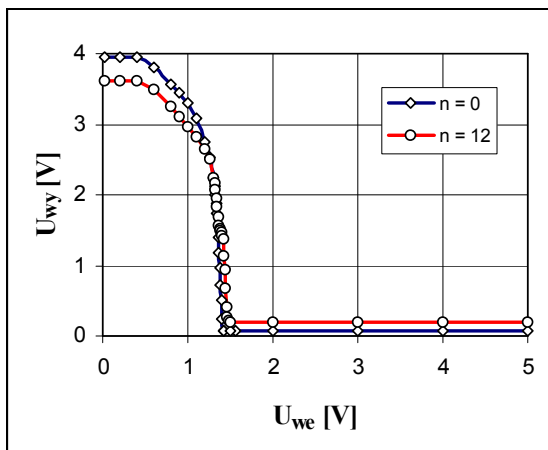
Tabela 1. Tabela pomiarów dla charakterystyki wejściowej bramki logicznej.

5.2. Charakterystyka przejściowa i moc rozpraszana przez bramkę logiczną (wersja podstawowa)

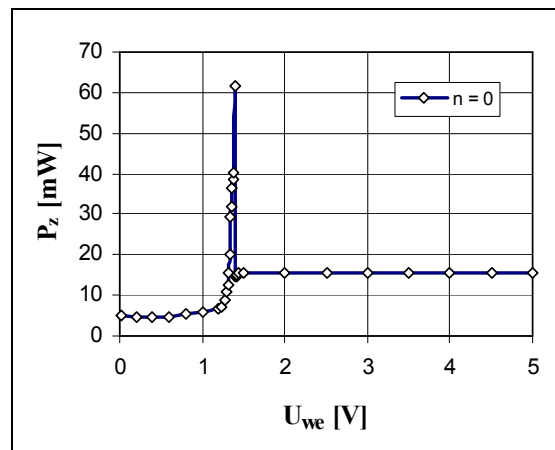
- Połączyć układ przedstawiony na rys. 5. Miliamperomierz (mA) ustawić na zakres optymalny do pomiaru prądów stałych do około 15 mA, natomiast woltomierze (V1) i (V2) na zakres optymalny dla napięć do 5 V.
- Po uzyskaniu zezwolenia od opiekuna włączyć zasilacz.
- Przełącznikiem n wybrać obciążenie wyjścia badanej bramki np. przez $n = 10$ wejść kolejnych bramek o ile prowadzący zajęcia nie zaleci innej wartości n .
- Zmieniając potencjometrem P_1 napięcie wejściowe bramki U_{we} w zakresie od 0 do 5 V wyznaczyć zależność napięcia wyjściowego U_{wy} i prądu zasilania I_z od U_{we} . Dla napięć U_{we} wynoszących około 1,2 ÷ 1,5 V należy zwrócić uwagę na zagęszczenie pomiarów w związku z gwałtownymi zmianami U_{wy} i I_z na skutek niewielkich przyrostów U_{we} . Wyniki pomiarów zapisać w Tabeli 2.
- Wyłączyć zasilanie i rozłączyć układ.



Rys. 5. Schemat układu do wyznaczania charakterystyk przejściowych i prądu zasilania bramki logicznej.



Rys. 6. Przykładowa rodzina charakterystyk przejściowych bramki NOT wykonanej w technice TTL.



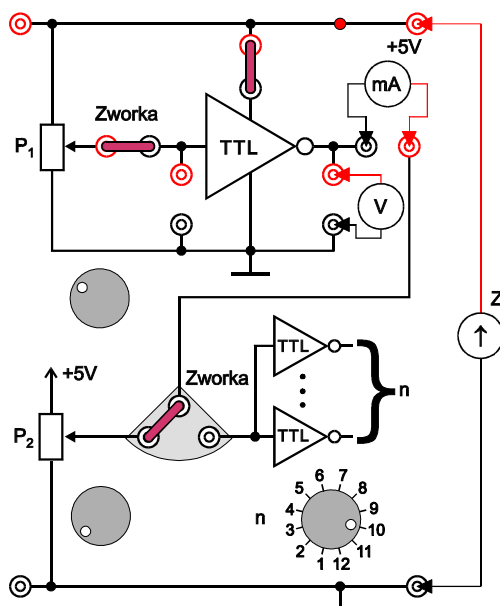
Rys. 7. Przykładowa charakterystyka mocy rozpraszanej przez bramkę logiczną wykonaną w technice TTL.

Lp.	$n = \dots$			
	U_{we} [V]	U_{wy} [V]	I_z [mA]	P_z [mW]

Tabela 2. Tabela pomiarów dla charakterystyki przejściowej bramki logicznej i rozpraszanej mocy.

5.3. Charakterystyka wyjściowa bramki logicznej (wersja podstawowa)

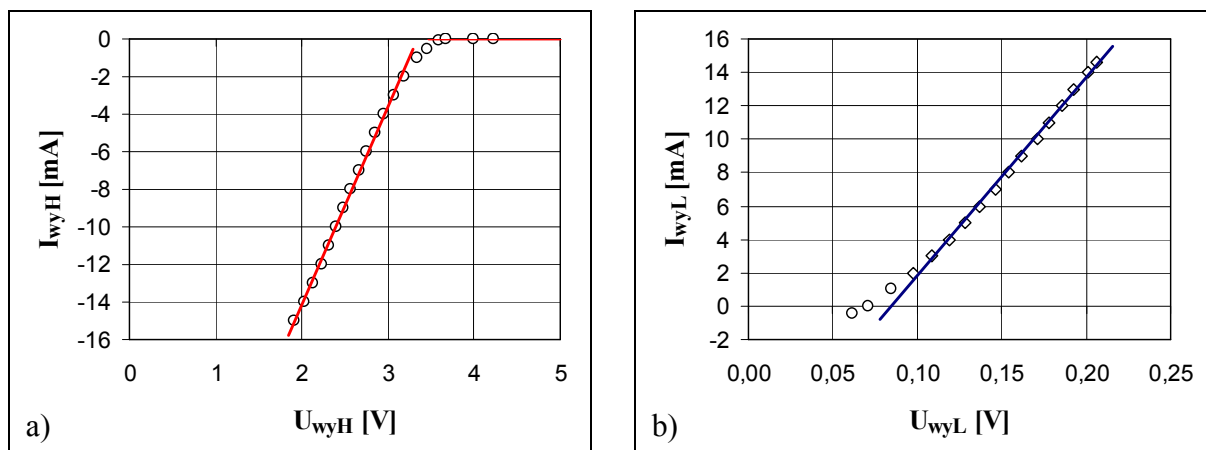
1. Podłączyć obwód zgodnie ze schematem przedstawionym na rys. 8. Miliamperomierz (mA) ustawić na zakres optymalny do pomiaru prądów stałych do około 15 mA, natomiast woltomierz (V) na zakres optymalny dla napięć do 5 V.
2. Po uzyskaniu zezwolenia od opiekuna włączyć zasilacz.
3. Zadać stan niski na wejściu bramki ustawiając gałkę potencjometru P₁ w skrajne lewe położenie.
4. Zmieniając potencjometrem P₂ prąd wyjściowy I_{wyH} z pewnym ustalonym krokiem (np. 1 mA) w całym dostępnym zakresie (od 0 do około 15 mA) wyznaczyć zależność napięcia wyjściowego U_{wyH} od I_{wyH} odpowiadającą stanowi wysokiemu na wyjściu bramki. Wyniki pomiarów zapisać w Tabeli 3.
5. Zadać stan wysoki na wejściu bramki ustawiając gałkę potencjometru P₁ w skrajne prawe położenie i powtórzyć pomiary z punktu 3 wyznaczając U_{wyL} i I_{wyL} odpowiadające stanowi niskiemu na wyjściu bramki.
6. Wyłączyć zasilanie i rozłączyć układ.



Rys. 8. Schemat układu do wyznaczania charakterystyk wyjściowych bramki logicznej przy obciążeniu rezystancyjnym.

Lp.	stan wysoki		stan niski	
	I_{wyH} [mA]	U_{wyH} [V]	I_{wyL} [mA]	U_{wyL} [V]
1				
2				

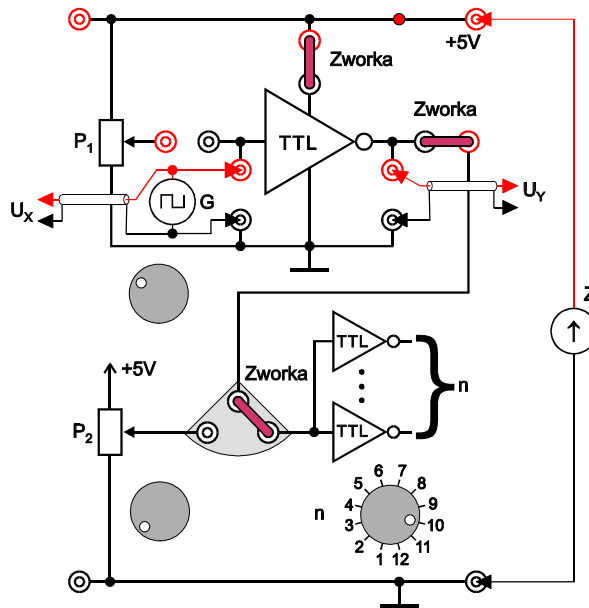
Tabela 3. Tabela pomiarów dla charakterystyk wyjściowych bramki logicznej przy obciążeniu rezystancyjnym.



Rys. 9. Przykładowe charakterystyki wyjściowe bramki logicznej wykonanej w technice TTL przy obciążeniu rezystancyjnym. a) stan wysoki na wyjściu bramki, b) stan niski na wyjściu bramki.

5.4. Wizualizacja charakterystyki przejściowej bramki logicznej (wersja rozszerzona)

1. Podłączyć generator funkcyjny (G), oscyloskop (U_X i U_Y) i zasilacz (Z) z bramką logiczną zgodnie ze schematem przedstawionym na rys. 10. Zwrócić uwagę na to, by sygnał z generatora był pobierany z wyjścia uniwersalnego OUTPUT a nie z wyjścia sygnału cyfrowego TTL OUT. Za pośrednictwem trójnika BNC doprowadzić sygnał z generatora jednocześnie do wejścia CH1 w oscyloskopie i do wejścia badanej bramki.
2. W generatorze ustawić minimalną amplitudę.
3. Po uzyskaniu zezwolenia od opiekuna włączyć generator, oscyloskop i zasilacz.
4. W generatorze funkcyjnym wybrać trójkątny kształt przebiegu o częstotliwość około 1 kHz. Oscyloskop ustawić do pracy z kanałem CH1 i wyłączyć sygnał na tym wejściu przez ustawienie przełącznika trybu sprzęgania w pozycji GND. Następnie ustawić pionową pozycję poziomu 0 V na poziomej linii siatki na dole ekranu. Przełączyć kanał CH1 w tryb sprzęgania DC. W generatorze włączyć składową stałą przyciskiem DC OFFSET i dobrać wartość składowej stałej i amplitudy sygnału tak, by oscyloskop pokazał przebieg jednokierunkowy zmieniający się pomiędzy 0 V a 5 V.
5. Przełączyć oscyloskop w tryb pracy X-Y. W celu optymalnego wykorzystania powierzchni ekranu zalecane jest ustawienie punktu (0; 0) w lewym dolnym rogu ekranu.
6. Przełącznikiem n w module doświadczalnym zadać obciążenie wyjścia badanej bramki zgodnie ze stosowanym wcześniej w rozdziale 5.2. Przerysować charakterystykę z ekranu oscyloskopu, zanotować wzmocnienia VOLTS/DIV dla wejść X oraz Y.
7. Powtórzyć obserwację dla innego obciążenia bramki.
8. Wyłączyć zasilanie i rozłączyć połączenia.



Rys. 10. Schemat układu do wizualizacji charakterystyki przejściowej bramki logicznej.

6. Wskazówki do raportu

Raport powinien zawierać:

1. Stronę tytułową (wg wzoru).
2. Sformułowanie celu ćwiczenia.
3. Podstawowe definicje, wzory i opis używanych oznaczeń.
4. Schematy układów pomiarowych.
5. Wykaz aparatury (nr inwentarzowy, typ i wykorzystywane nastawy i zakresy).
6. Wyniki pomiarów.
7. Wykresy, obliczenia, analizy, interpretacje i wnioski cząstkowe odnoszące się do wszystkich otrzymanych wyników. W szczególności:
 - 7.1. Na podstawie uzyskanych wyników wykonać wykres charakterystyki wejściowej bramki $I_{we} = f_1(U_{we})$. Wykorzystując odczytaną z wykresu maksymalną co do modułu wartość $I_{we \max}$ i katalogową wartość dopuszczalnego ciągłego prądu 16 mA na wyjściu standardowej bramki TTL sprawdzić czy maksymalna liczba bramek obciążających ($16 \text{ mA} / I_{we \max}$) przy pracy z niską częstotliwością przełączania jest większa od katalogowej wartości 10 uwzględniającej rozrzut parametrów i wzrost rozpraszanej mocy przy wyższych częstotliwościach.
 - 7.2. Wykonać wykres charakterystyki przejściowej $U_{wy} = f_2(U_{we})$ dla wybranej liczby n bramek obciążających. Znaleźć w literaturze przedziały napięć przyjęte w technice TTL do reprezentowania stanu logicznego niskiego (logiczne zero), wysokiego (logiczna jedynka) i nieokreślonego. Sprawdzić czy badana bramka poprawnie odwzorowuje cały przedział napięć odpowiadających stanowi niskiemu na wejściu w stan wysoki na wyjściu oraz przedział napięć dla stanu wysokiego na wejściu w stan niski na wyjściu. Jeśli tak, obliczyć margines zakłóceń statycznych (czyli trwających długo w porównaniu do czasu propagacji sygnału przez bramkę). Margines zakłóceń statycznych bramki NOT odpowiadający stanowi niskiemu można obliczyć jako różnicę $U_{IL} - f_2(U_{IH})$, gdzie U_{IL} jest progowym napięciem rozgraniczającym stan niski od nieokreślonego zdefiniowanym dla wejść układów TTL, U_{IH} jest progowym

napięciem między stanem wysokim i nieokreślonym, zaś $f_2(U_{IH})$ jest odpowiedzią bramki na napięcie wejściowe U_{IH} . Margines zakłóceń statycznych dla stanu wysokiego wynosi $f_2(U_{IL}) - U_{IH}$. Wartości $f_2(U_{IL})$ i $f_2(U_{IH})$ odczytuje się z wykresu charakterystyki przejściowej. Mniejszy z dwóch znalezionych marginesów należy uznać za margines zakłóceń statycznych dla dowolnego stanu. Aby zapewnić poprawne przenoszenie stanów logicznych, margines ten musi być większy od zakłóceń na linii łączącej wyjście z wejściem kolejnej bramki.

- 7.3. Na podstawie wartości prądu zasilania bramki I_z obliczyć rozpraszaną moc $P_z = U_z I_z$ przyjmując napięcie zasilania $U_z = 5 \text{ V}$. Wykonać wykres mocy $P_z = f_3(U_{we})$.
 - 7.4. Wykonać wykresy charakterystyk wyjściowych $I_{wy} = f_4(U_{wy})$ w stanie niskim i wysokim na wyjściu bramki. Na podstawie wykresów stwierdzić, czy istnieje graniczne obciążenie bramki prowadzące do nieokreśloności stanu na wyjściu bramki przy jednoznacznie określonym stanie na jej wejściu.
 - 7.5. Na podstawie prostoliniowych odcinków charakterystyk wyjściowych wykonanych w poprzednim punkcie wyznaczyć wyjściowe rezystancje różniczkowe $\partial U_{wy} / \partial I_{wy}$ bramki w stanie niskim i wysokim. Rezystancje te są odwrotnościami współczynników kierunkowych odpowiednich prostych. Nie wyznaczać rezystancji różniczkowych na podstawie przyrostów wartości dla dwóch sąsiednich punktów pomiarowych, gdyż tak otrzymane przyrosty mogą być obciążone znacznym błędem względnym.
 - 7.6. Porównać charakterystykę przejściową bramki uzyskaną metodą oscyloskopową z charakterystyką wynikającą z pomiarów metodą punkt po punkcie. Przedyskutować zgodność uzyskanych wyników.
8. Uwagi i wnioski końcowe.

W raporcie ocenie podlegać będzie obecność i poprawność wszystkich wymienionych powyżej składników, czytelność prezentacji wyników (w postaci tabel, wykresów, oscylogramów i wyników obliczeń wraz z opisami) oraz jakość dyskusji wyników i sformułowanych wniosków. Wstęp teoretyczny nie jest wymagany i w przypadku jego zamieszczenia w raporcie nie wpłynie na ocenę.

7. Literatura

7.1. Literatura podstawowa

- [1] J. Kalisz, *Podstawy elektroniki cyfrowej*, WKiŁ, Warszawa 2002.
- [2] W. Marciniak, *Przyrządy półprzewodnikowe i układy scalone. Zasady działania, technologia i zastosowania*, WNT, Warszawa 1979.
- [3] P. Horowitz, W. Hill, *Sztuka elektroniki*, WKiŁ, Warszawa 2001,
- [4] A. Rusek, *Podstawy elektroniki*, część 2, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 1983.
- [5] U. Tietze, Ch. Schenk, *Układy półprzewodnikowe*, WNT, Warszawa 1987.
- [6] A. Charoy, *Zakłócenia w urządzeniach elektronicznych*, tom 1, WNT, Warszawa 1999.

7.2. Literatura uzupełniająca

- [7] Instrukcje obsługi do multimetrów, zasilacza laboratoryjnego, generatora funkcyjnego i oscyloskopu dostępne są na stronie internetowej:
<https://fizyka.p.lodz.pl/pl/dla-studentow/podstawy-elektroniki/peim-zasoby/>