Technika Cyfrowa

dr inż. Marek Izdebski

Kontakt:

- Instytut Fizyki PŁ, ul. Wólczańska 219, pok. 3.08 w budynku B14,
- e-mail: marek.izdebski@p.lodz.pl

Strona internetowa (materiały do wykładu i laboratorium):

- fizyka.p.lodz.pl/dla-studentow/fizyka-tech/tc/
  albo dojście przez
- fizyka.p.lodz.pl
  dalej link: Dla studentów → Fizyka Techniczna (I st.) → Technika Cyfrowa.

Kata warunków realizacji przedmiotu w roku ak. 2025/2026

na stronie: fizyka.p.lodz.pl/dla-studentow/fizyka-tech/tc/

Najważniejsze informacje w karcie:

Wykład:

- obecność nieobowiązkowa,
- zaliczenie na podst. kolokwium pisemnego - 16 pytań wybranych z 20. Odp. na każde pytanie jest oceniania w skali od 0 do 3 pkt.

Laboratorium:

- wymagane zaliczenie wszystkich ćwiczeń z harmonogramu,
- na zaliczenie pojedynczego ćwiczenia składa się:
  * zestawianie i testowanie układu – obecność obowiązkowa,
  * przygotowanie raportu i otrzymanie za niego oceny pozytywnej,
- ćwiczenia laboratoryjne są oceniane w systemie punktowym opisanym w regulaminie lab. techniki cyfrowej.

Ocena z modułu Technika cyfrowa:

- Sumy punktów z wykładu oraz z lab. są przeliczane na ocenę z wykładu oraz ocenę z lab. wg. tabeli podanej na stronie z materiałami do przedmiotu,
- ocena z modułu = 50 % oceny z kolokwium wykładowego + 50 % oceny z laboratorium,
- obie oceny muszą być pozytywnie (≥ 3).

Technika Cyfrowa

Planowany zakres wykładu:

1. Algebra Boole'a i bramki.
2. Synteza układów kombinacyjnych z bramek.
3. Synteza układów sekwencyjnych z bramek.
4. Podstawowe bloki funkcjonalne (bloki komutacyjne, przerzutniki, liczniki, rejestry, układy arytmetyczne).
5. Kodowanie liczb.
6. Wprowadzenie do architektury i programowania mikrokontrolerów na przykładzie Microchip PIC16.
7. Pakiet MPLAB IDE.
8. Programowanie mikrokontrolerów Microchip PIC16 w języku C.

Temat 1. Algebra Boole'a i bramki

Definicja

Algebrą lub **algebrą abstrakcyjną** lub **algebrą uniwersalną** nazywamy strukturę w postaci

$$A = (U, f_1, f_2, \ldots, f_n),$$

gdzie:

U jest niepustym zbiorem,

$f_1, f_2, \ldots, f_n$ są działaniami określonymi w zbiorze U,
tzn. nie wyprowadzają poza zbiór U.

1.1. Podstawy algebry Boole'a

Algebra Boole'a została rozwinięta przez angielskiego matematyka George Boole'a (1815-1864) w celu analizy zdań logicznych które mogą zostać określone wyłącznie jako prawdziwe (1) albo fałszywe (0).

Podstawowe operacje algebry Boole'a to:

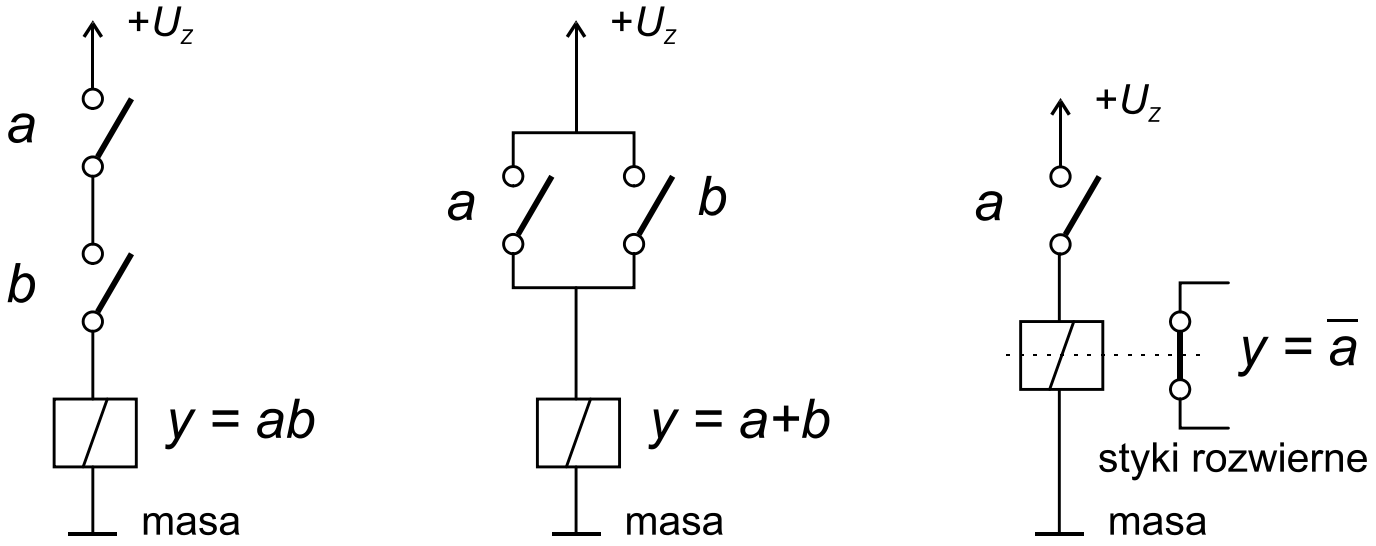
- iloczyn logiczny (koniunkcja) $y = a \cdot b = ab = a \wedge b$
- suma logiczna (alternatywa) $y = a + b = a \vee b$
- negacja $y = \overline{a} = \neg a = \sim a$

Algebra Boole'a jest zatem strukturą w postaci:

$$A = (U = \{0, 1\}, \neg, \wedge, \vee),$$

Tabela 1.1. Definicje podstawowych operacji algebry Boole'a.

a	b	ab	$a + b$	$\overline{a}$
0	0	0	0	1
0	1	0	1	1
1	0	0	1	0
1	1	1	1	0



Rys. 1.1. Elektrotechniczna realizacja operacji algebry Boole'a.

Tabela 1.2. Podstawowe prawa i tożsamości algebry Boole'a.

Nazwa przekształcenia	Dla iloczynu logicznego	Dla sumy logicznej
Prawa przemienności	$a \cdot b = b \cdot a$	$a + b = b + a$
Prawa łączności	$a \cdot (b \cdot c) = (a \cdot b) \cdot c$	$a + (b + c) = (a + b) + c$
Prawa rozdzielności	$a \cdot (b + c) = a \cdot b + a \cdot c$	$a + b \cdot c = (a + b) \cdot (a + c)$
Prawa De Morgana	$\overline{a \cdot b \cdot \ldots} = \overline{a} + \overline{b} + \ldots$	$\overline{a + b + \ldots} = \overline{a} \cdot \overline{b} \cdot \ldots$
Prawa pochłaniania	$a \cdot (a + b) = a$	$a + a \cdot b = a$
Tożsamości podstawowe	$a \cdot 0 = 0$	$a + 1 = 1$
	$a \cdot 1 = a$	$a + 0 = a$
	$a \cdot a = a$	$a + a = a$
	$a \cdot \overline{a} = 0$	$a + \overline{a} = 1$
Tożsamości dodatkowe	$a \cdot (a + b) = a$	$a + a \cdot b = a$
	$a + \overline{a} \cdot b = a + b$	$a \cdot (\overline{a} + b) = a \cdot b$
	$(a + b) \cdot (\overline{a} + b) = b$	$a \cdot b + \overline{a} \cdot b = b$
Prawo podwójnego przeczenia	$\overline{\overline{a}} = a$	

Prawa algebry Boole'a oznaczone ciemnożółtym tłem nie maja swoich odpowiedników wśród działań w zbiorze liczb rzeczywistych.

Tabela 1.3. Przykład sprawdzenia prawa rozdzielności sumy względem iloczynu $a + b \cdot c = (a + b)(a + c)$.

a	b	c	bc	$a + bc$	$a + b$	$a + c$	$(a + b)(a + c)$
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	1	0	1	1	1	1
1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1

Wniosek: kolumny $a + bc$ oraz $(a + b)(a + c)$ są zgodne.

Tabela 1.4. Przykład sprawdzenia prawa De Morgana $\overline{a \cdot b} = \overline{a} + \overline{b}$.

a	b	ab	$\overline{ab}$	$\overline{a}$	$\overline{b}$	$\overline{a} + \overline{b}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

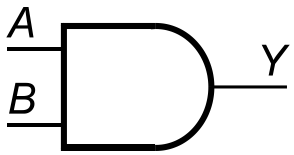
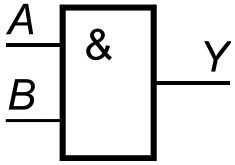
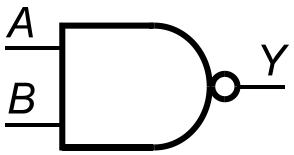
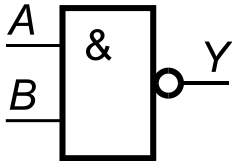
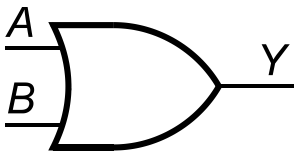
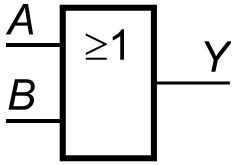
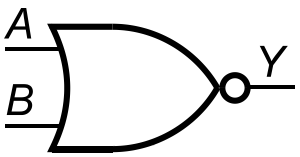
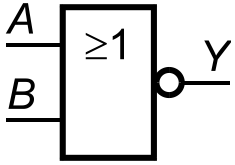
Wniosek : kolumny $\overline{ab}$ oraz $\overline{a} + \overline{b}$ są zgodne.

Tabela 1.5. Rozszerzony zestaw operacji logicznych

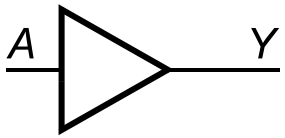
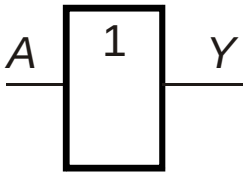
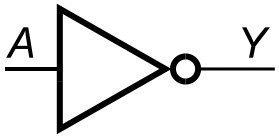
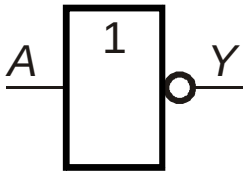
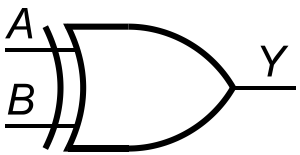
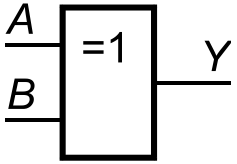
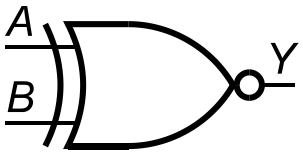
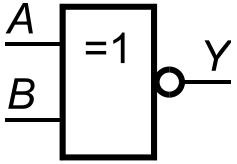
nazwa operacji	symbol	zapis	nazwa bramki
suma logiczna, alternatywa	+, $\vee$	$a + b$	OR
iloczyn logiczny, koniunkcja	brak, $\wedge$	$a\ b$	AND
negacja	$\overline{\ }$, $\neg$, $\sim$	$\overline{a}$	NOT
operator Pierce'a	$\downarrow$	$a \downarrow b = \overline{a + b} = \overline{a}\ \overline{b}$	NOR
opertor Sheffera	$\mid$	$a \mid b = \overline{a b} = \overline{a} + \overline{b}$	NAND
nierównoażność, suma modulo 2	$\oplus$	$a \oplus b = a\overline{b} + \overline{a}b$	EXOR, XOR
równoważność, parzystość	$\otimes$, $\Leftrightarrow$	$a \otimes b = ab + \overline{a}\,\overline{b}$	EXNOR, XNOR
implikacja	$\Rightarrow$	$a \Rightarrow b = \overline{a} + b$ $b \Rightarrow a = a + \overline{b}$	*tranz. bipolarny*

1.2. Podstawowe bramki logiczne

Tabela 1.6. Symbole podstawowych bramek logicznych i ich tablice prawdy.

Nazwa elementu ang. / pl.	symbol ANSI/IEEE	symbol IEC, ANSI/IEEE	Tabela prawdy
AND I			A B Y = A·B 0 0 0 0 1 0 1 0 0 1 1 1
NAND I-NIE			A B Y = $\overline{A \cdot B}$ 0 0 1 0 1 1 1 0 1 1 1 0
OR, LUB			A B Y = A+B 0 0 0 0 1 1 1 0 1 1 1 1
NOR, LUB-NIE			A B Y = $\overline{A+B}$ 0 0 1 0 1 0 1 0 0 1 1 0

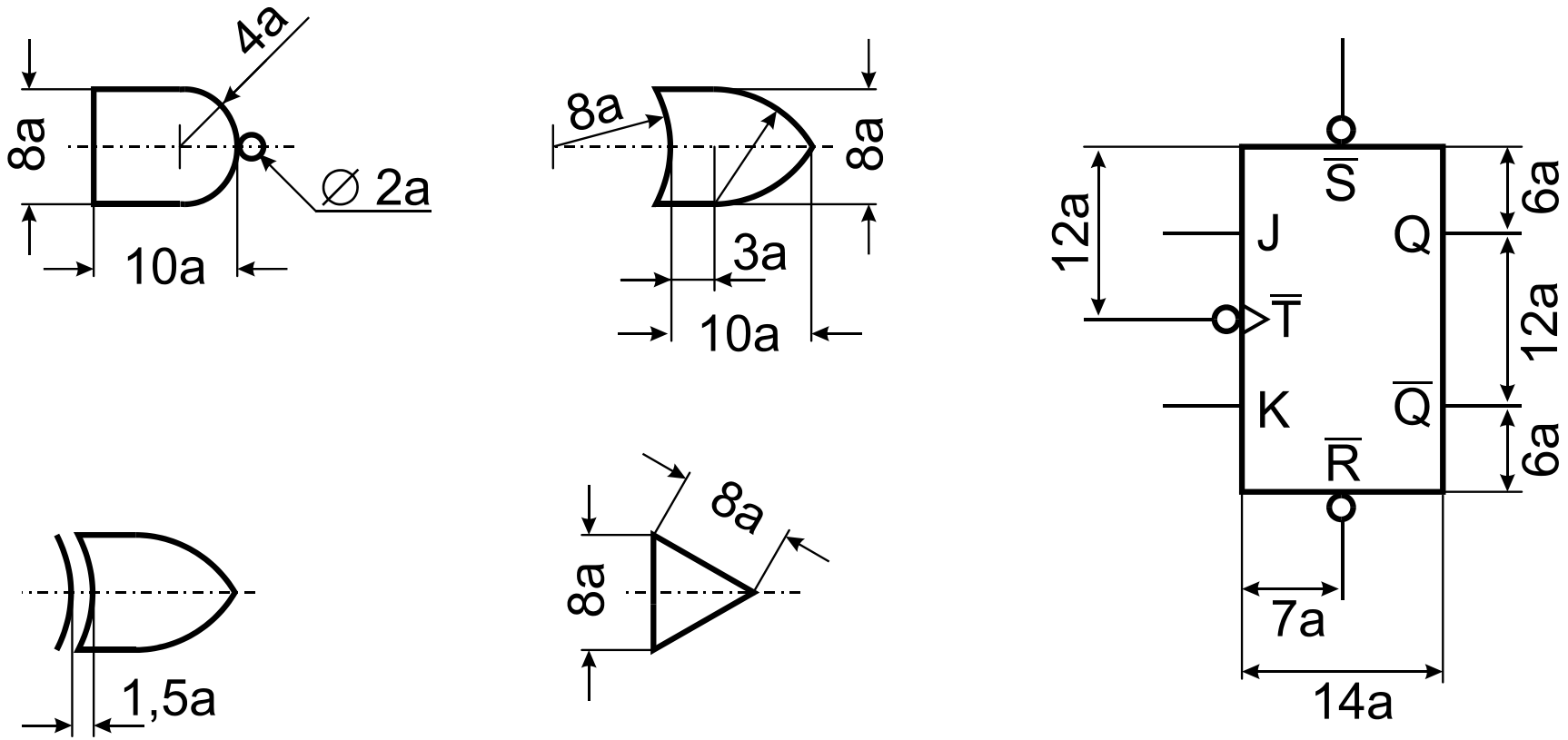
c.d. podstawowe bramki logiczne

Nazwa elementu ang. / pl.	symbol ANSI/IEEE	symbol IEC, ANSI/IEEE	Tabela prawdy
BUFFER BUFOR			A | Y = A 0 | 0 1 | 1
NOT NIE			A | Y = $\overline{A}$ 0 | 1 1 | 0
EXOR (XOR) ALBO, WYŁĄCZNIE LUB			A | B | Y = A⊕B 0 | 0 | 0 0 | 1 | 1 1 | 0 | 1 1 | 1 | 0
EXNOR (XNOR) ALBO-NIE			A | B | Y = A⊗B 0 | 0 | 1 0 | 1 | 0 1 | 0 | 0 1 | 1 | 1

Obecnie dopuszczone do użytkowania są oba zestawy symboli wprowadzone w normach: IEEE Std 91/91a-1991; IEC 60617-12:1997.

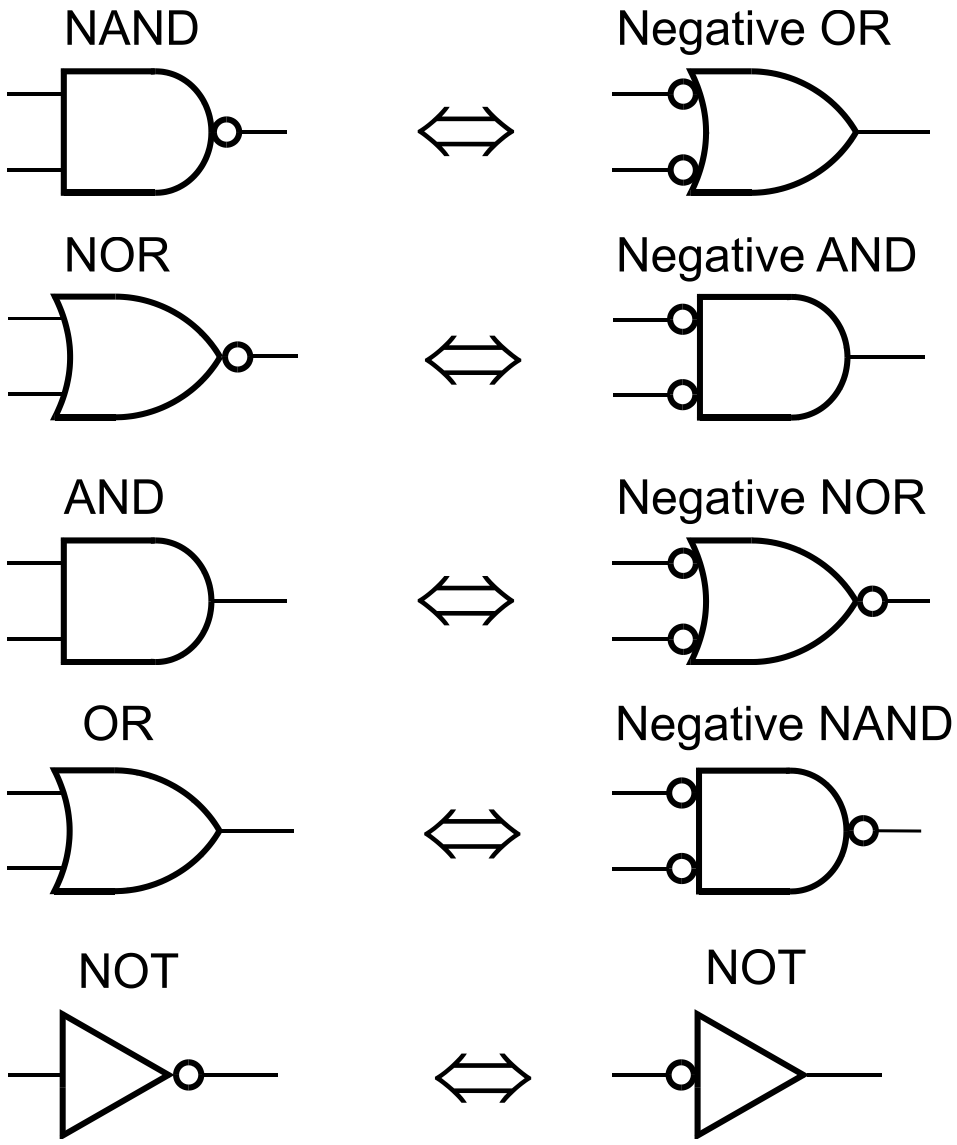
Zasady rysowania symboli elementów logicznych

W celu uzyskania dobrej czytelności schematów logicznych układów cyfrowych zaleca się zachowywać kształty i wymiary symboli graficznych przedstawionych na rys. 1.2.



Rys. 1.2. Kształt i wymiary symboli graficznych elementów logicznych.

System wskaźników negacji

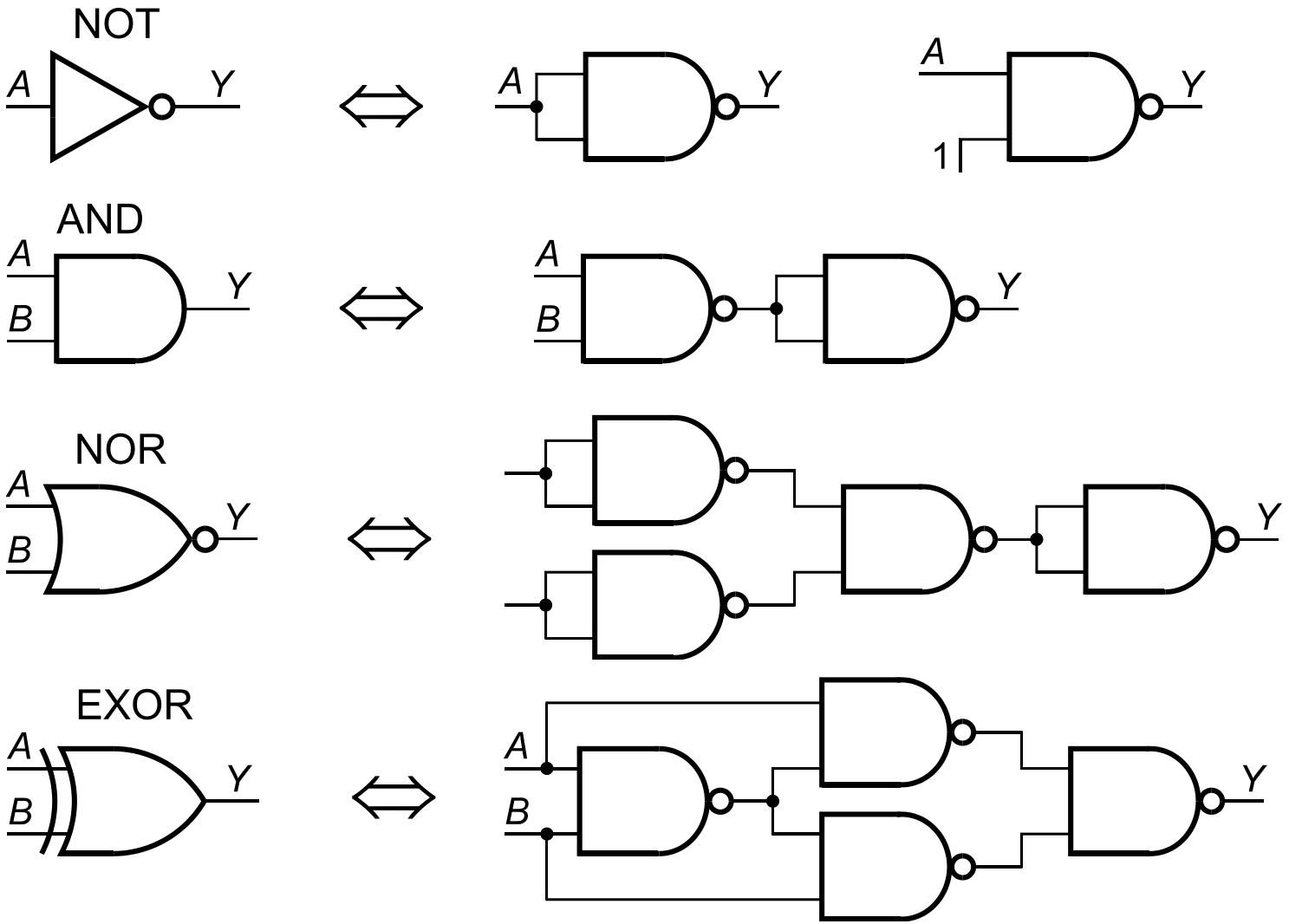


- System wskaźników negacji stosowany jest z obydwoma rodzajami symboli bramek (ANSI/IEEE, IEC).
- Przyjmuje się, że miejsce oznaczenia negacji opisuje sposób funkcjonowania realnych układów. Obecność wskaźnika negacji oznacza, że stan wewnętrzny jest negacją stanu zewnętrznego.
- Obecność lub brak wskaźnika negacji nie ma żadnego związku z poziomami wielkości fizycznych (napięcie, prąd) na kocówkach realnych układów.

Rys. 1.3. Równoważne symbole graficzne elementów logicznych.

Uniwersalność bramek NAND

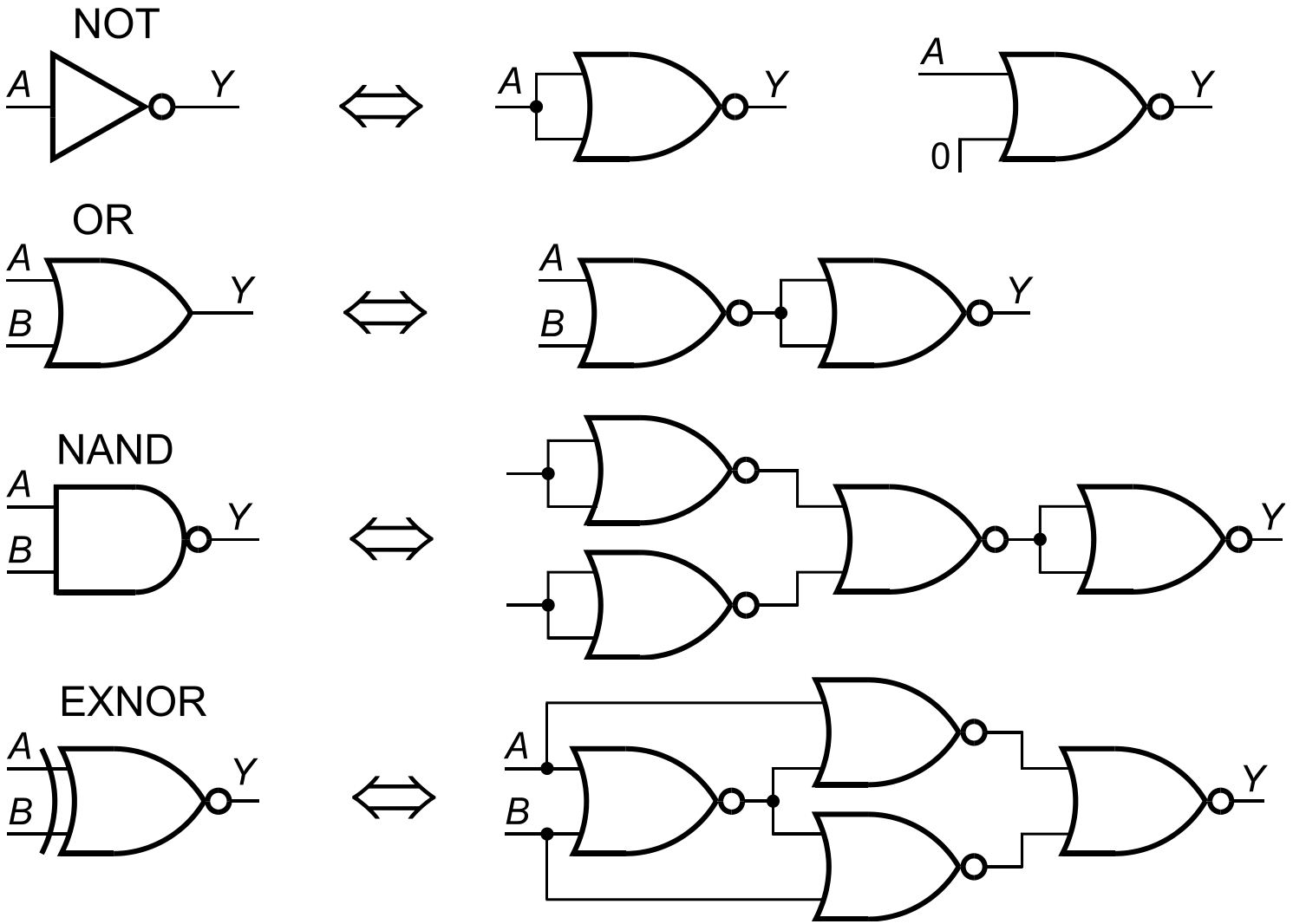
Wszystkie funktory logiczne można zrealizować przy użyciu samych bramek NAND.



Rys. 1.4. Przykłady realizacji innych funktorów logicznych przy użyciu bramek NAND.

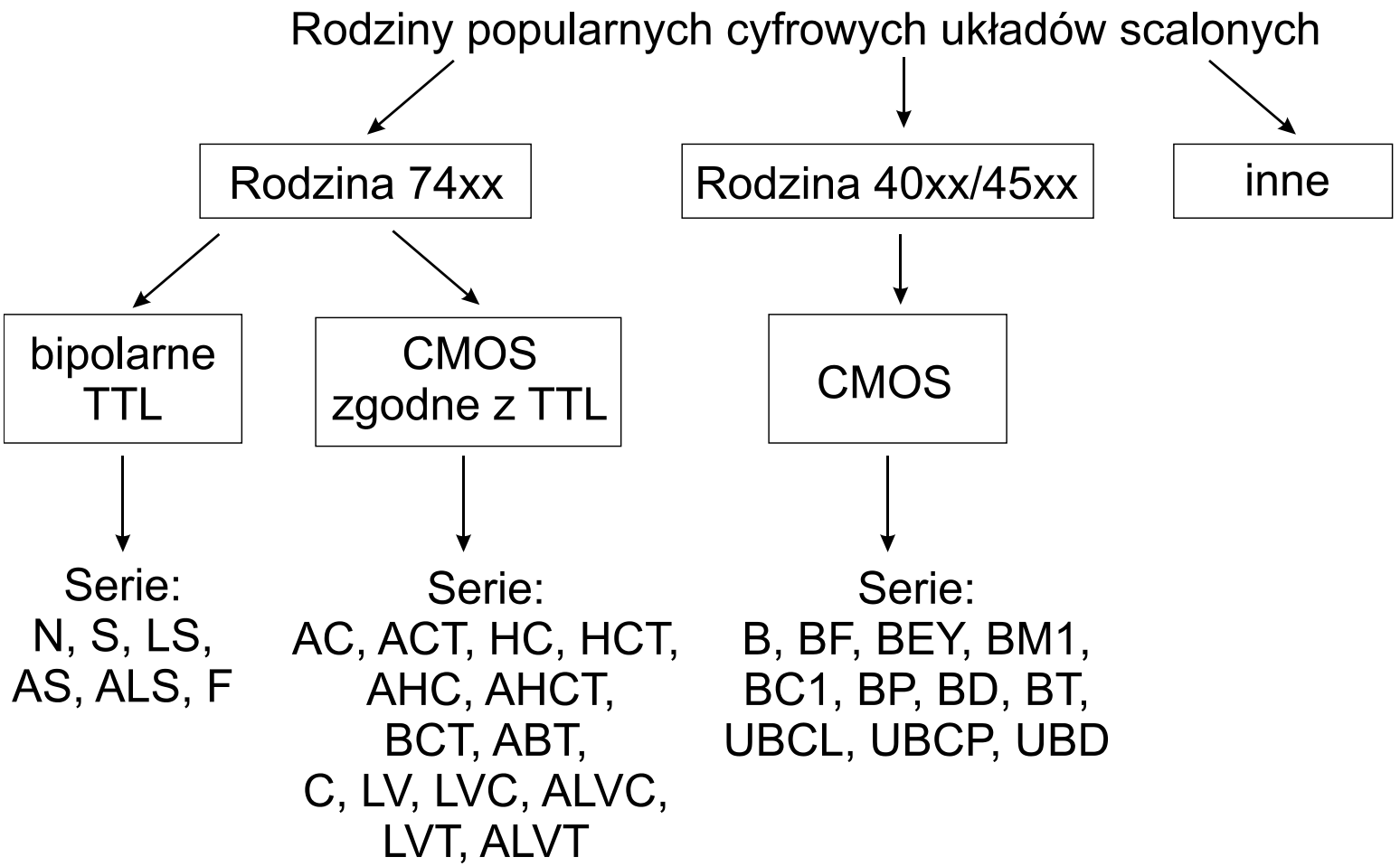
Uniwersalność bramek NOR

Wszystkie funktory logiczne można zrealizować przy użyciu samych bramek NOR.



Rys. 1.5. Przykłady realizacji innych funktorów logicznych przy użyciu bramek NOR.

1.3. Bramki logiczne w układach scalonych

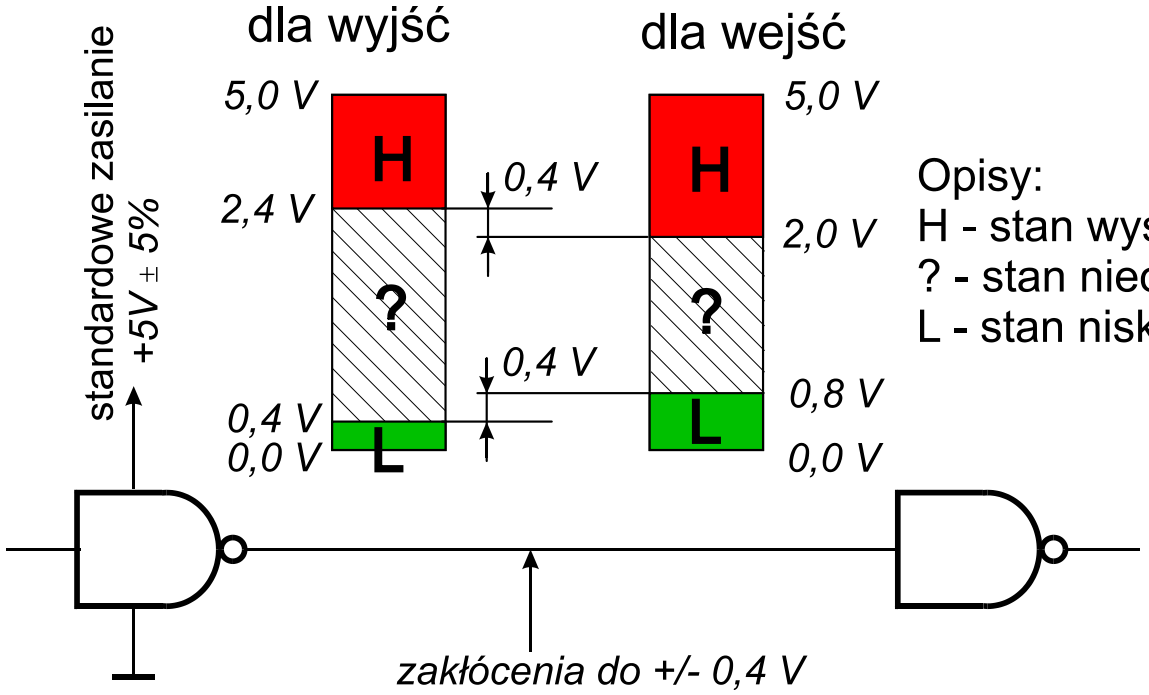


Rys. 1.6. Ogólna klasyfikacja konstrukcyjno-techniczna scalonych układów cyfrowych o niskiej i średniej skali integracji. Pominięto układy trudno dostępne i przestarzałe. Skrót TTL oznacza transistor-transitor logic,
CMOS - complementary metal–oxide–semiconductor.

Porównanie zalet i wad cyfrowych układów scalonych z rodzin 74xx oraz 40xx/45xx

rodzina 74xx	**rodzina 40xx / 45xx**
Zalety:	**Zalety:**
Bardzo duży wybór typów układów.	Bardzo mały pobór prądu w stanie spoczynku (1nA - 1μA w układach złożonych z kilku bramek)
Liczne serie układów różnią się znacznie szybkością pracy, prądem zasilania, natężeniami prądów wej. i wyj., kosztem itd.	Bardzo małe prądy wejściowe
Określony standard napięć dla wejść i wyjść.	Szeroki zakres napięć pracy dochodzący do 2...20 V.
Wady (usunięte w nowszych seriach CMOS):	**Wady**
Duży pobór prądu w stanie spoczynkowym (rzędu kilku mA na bramkę serii standardowej).	Małe prądy wyjściowe (<1mA przy U_Z = 5V)
Duże prądy wejściowe (do 1,6 mA w serii standardowej).	Mała szybkość pracy (f_{max} rzędu kilka MHz przy U_Z = 5V)
Wady wspólne: brak zgodności końcówkowej układów scalonych z różnych rodzin, bezpośrednie połączenia między układami z różnych rodzin nie zawsze możliwe.	

Standard napięć w układach TTL (transistor-transitor logic)

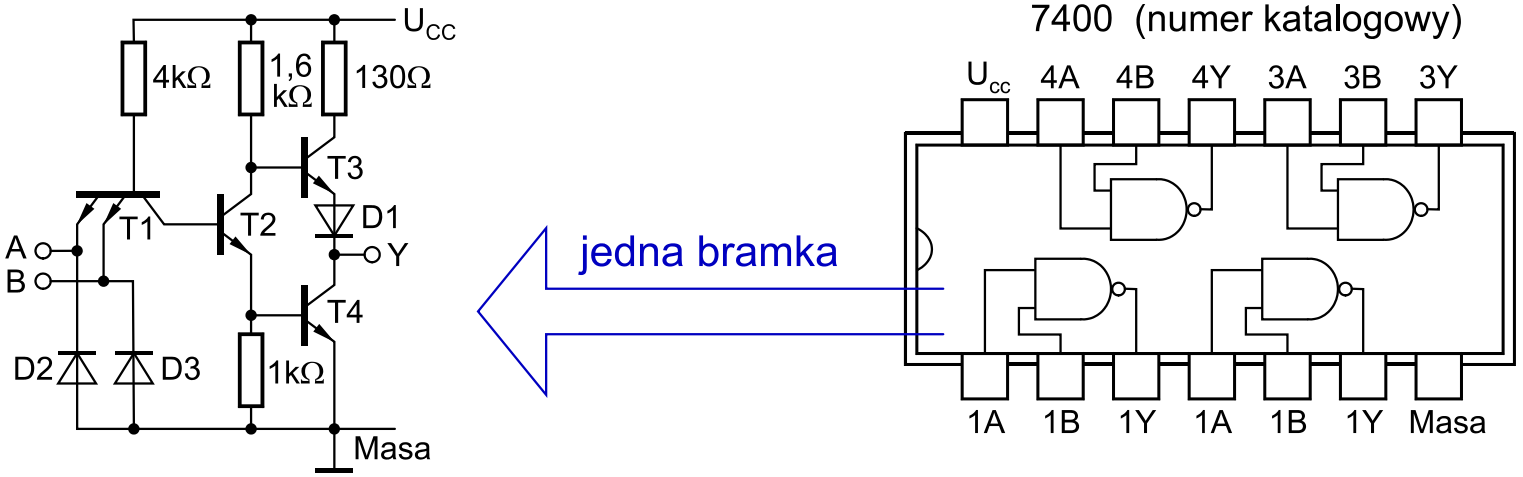


Opisy:
H - stan wysoki,
? - stan nieokreślony,
L - stan niski.

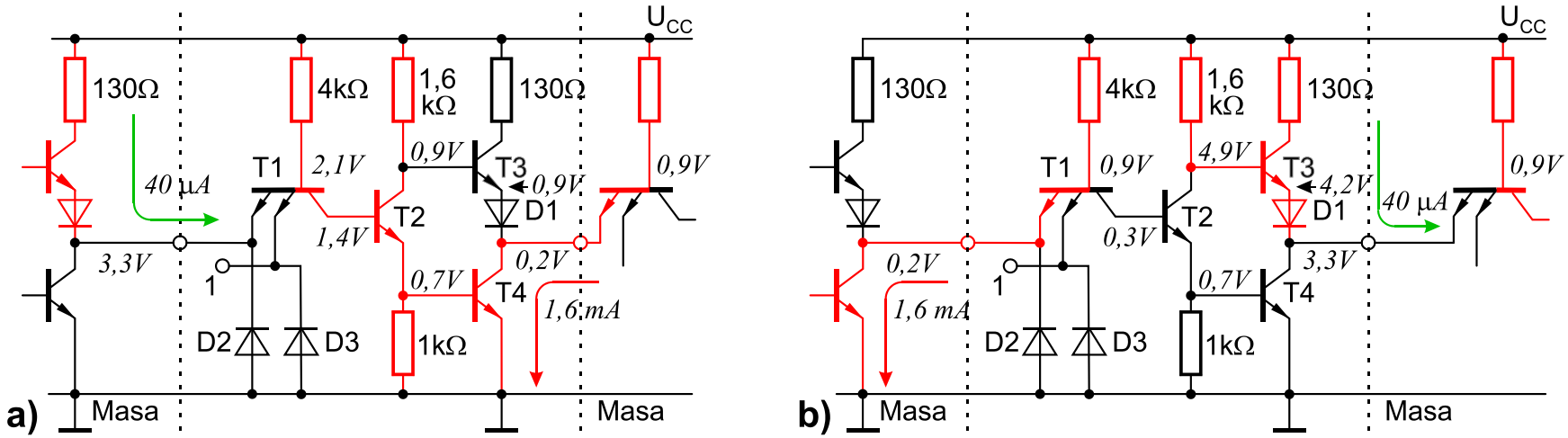
Rys. 1.7. Definicja poziomów napięć dla wejść i wyjść układów TTL.

Margines zakłóceń statycznych w określonym stanie na wejściu elementu logicznego jest to maksymalna amplituda sygnału, która oddziaływując na to wejście nie spowoduje niepożądanej zmiany stanu wyjściowego. Zakłócenia statyczne, to zakłócenia o czasie trwania znacznie dłuższym niż czas propagacji sygnału w bramce.
Wartości gwarantowane marginesu zakłóceń statycznych to różnica między gwarantowanymi poziomami napięć na wyjściu bramki sterującej i wejściu bramki sterowanej.
W rodzinie układów TTL wymaga się marginesu ≥0,4V dla obu stanów.

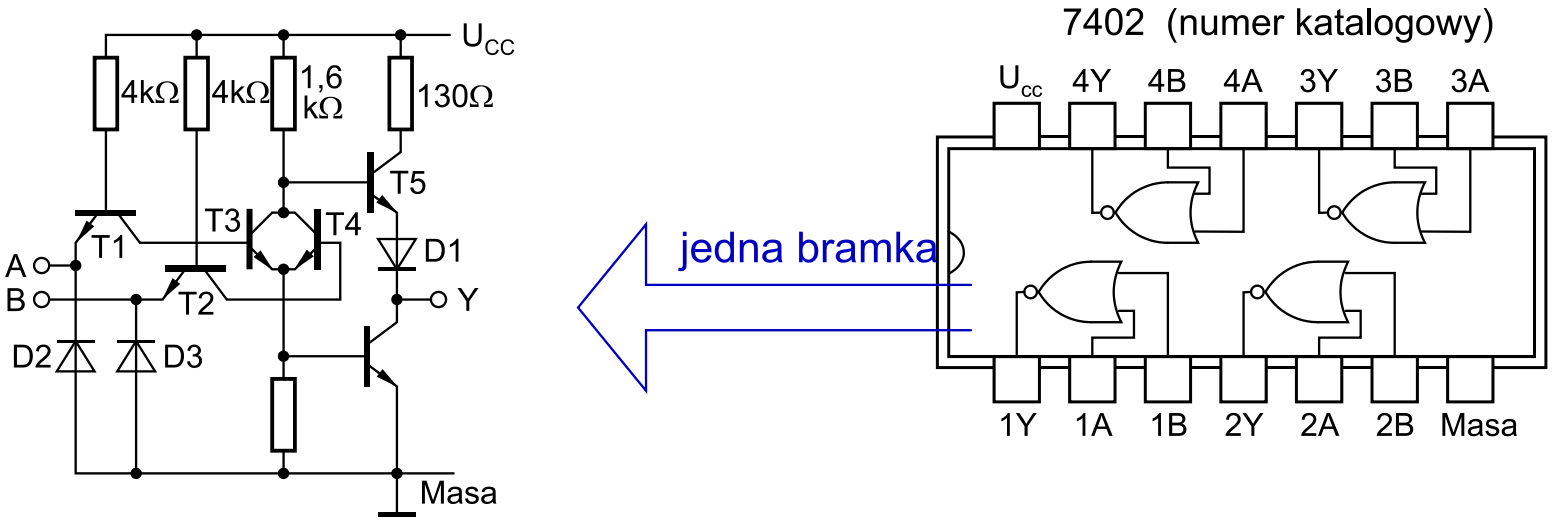
Podstawowe bramki TTL serii standardowej (N)



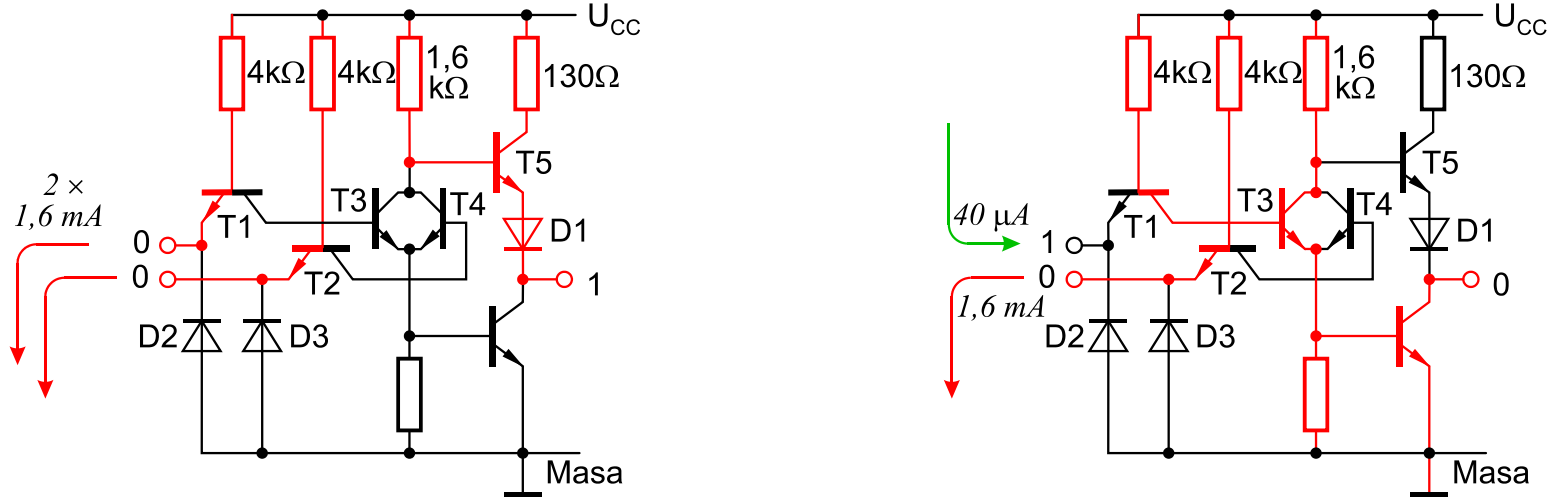
Rys. 1.8. Schemat układu scalonego 7400 zawierającego 4 bramki NAND serii standardowej.



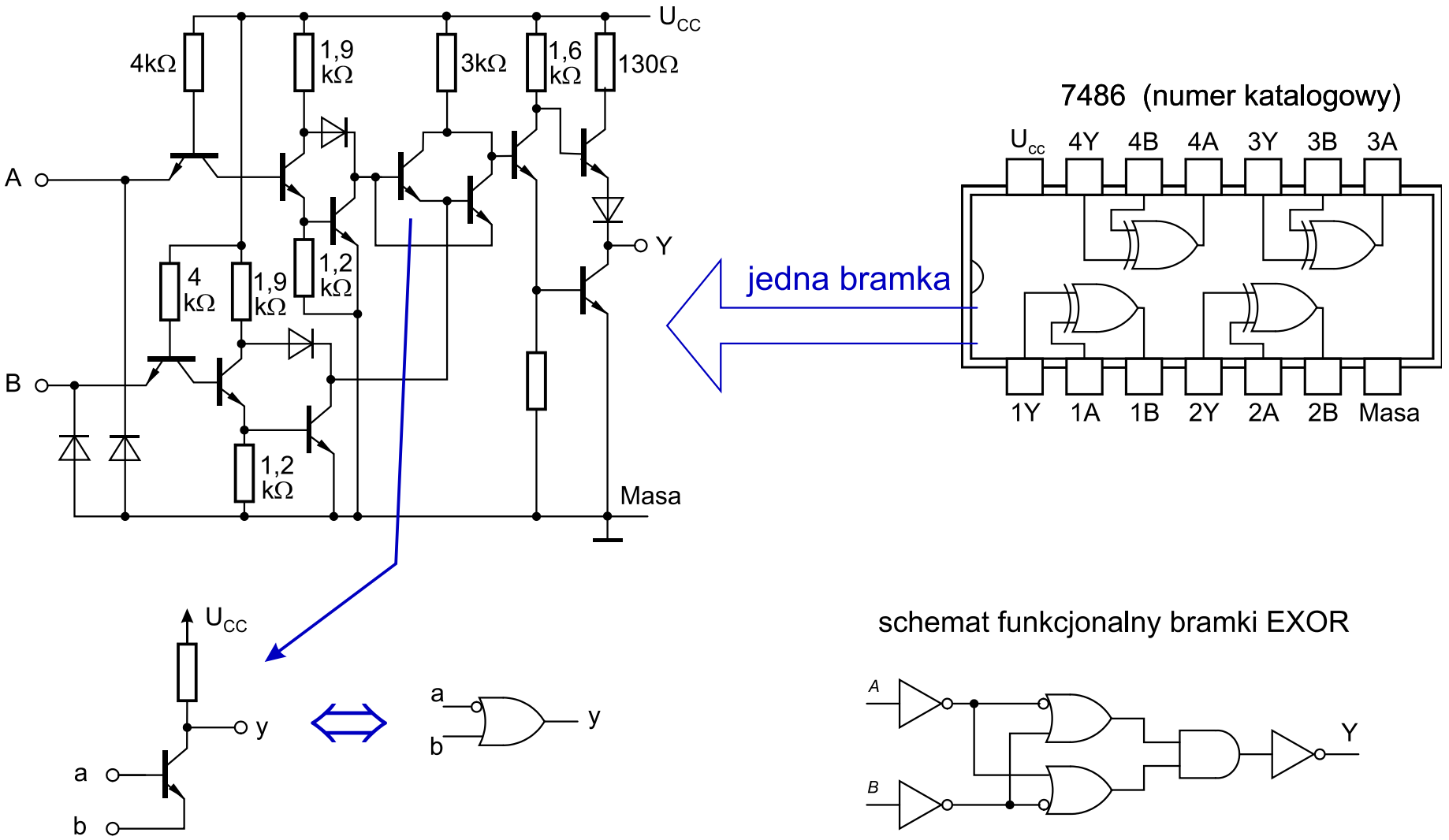
Rys. 1.9. Zasada działania bramki NAND serii standardowej dla (a) stanu wysokiego na obu wejściach, (b) stanu niskiego na jednym z wejść.



Rys. 1.10. Schemat układu scalonego 7402 zawierającego 4 bramki NOR serii standardowej.

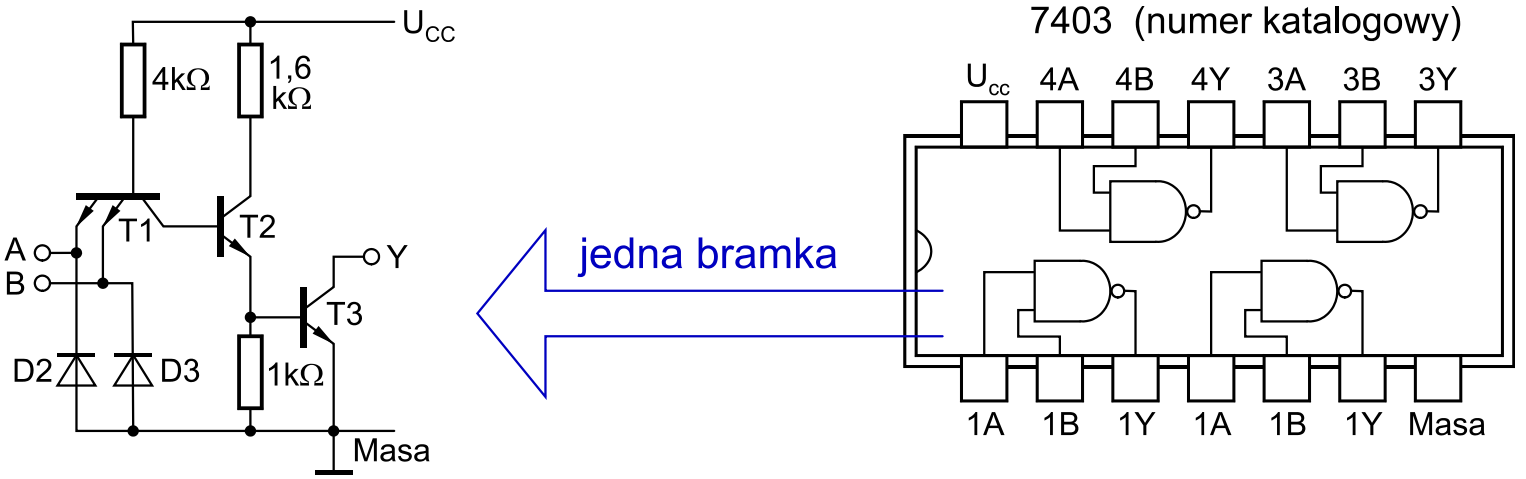


Rys. 1.11. Zasada działania bramki NOR serii standardowej dla (a) stanu niskiego na obu wejściach, (b) stanu wysokiego na jednym z wejść.

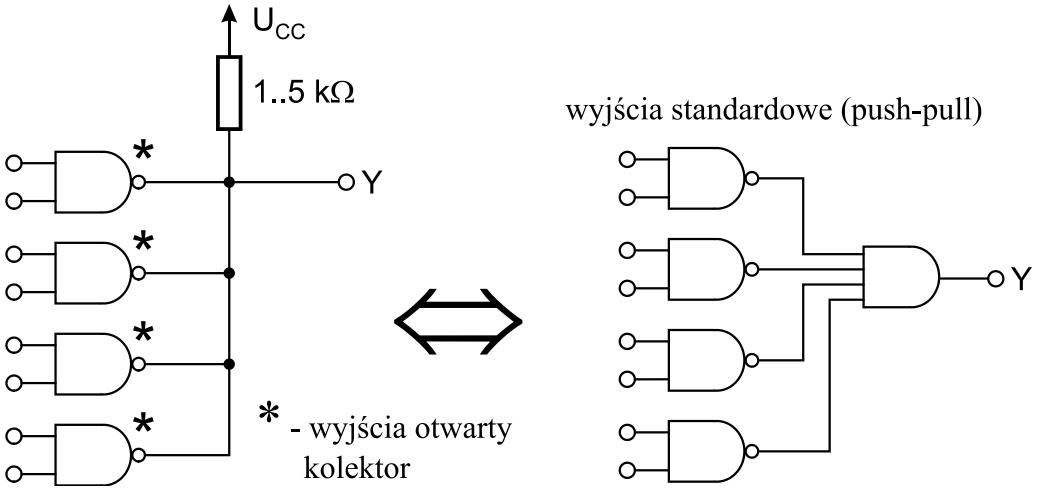


Rys. 1.12. Schemat układu scalonego 7486 zawierającego 4 bramki EXOR serii standardowej. W układzie wykorzystano właściwości tranzystora bipolarnego do prostej realizacji operacji implikacji ($\neg a+b$).

Bramki TTL z wyjściami typu otwarty kolektor



Rys. 1.13. Schemat układu scalonego 7403 zawierającego 4 bramki NAND serii standardowej z wyjściami typu otwarty kolektor.



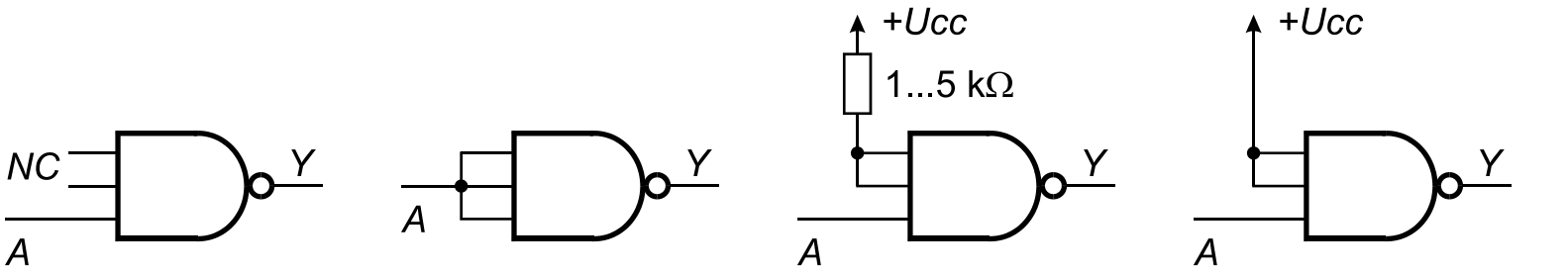
<u>Zastosowania wyjść typu otwarty kolektor:</u>

- Iloczyn na przewodzie.
- Układy dwukierunkowej transmisji danych po jednej linii,
- Układy wyjściowe, np. sterowanie LED, przekaźnikami, podłączenia do gniazd narażonych na zwarcia.

Rys. 1.14. Realizacja iloczynu logicznego na przewodzie przy użyciu bramek z wyjściami typu otwarty kolektor.

Postępowanie z nadmiarowymi wejściami układów TTL

Bramki typu AND i NAND



poprawne
(z ograniczeniami)

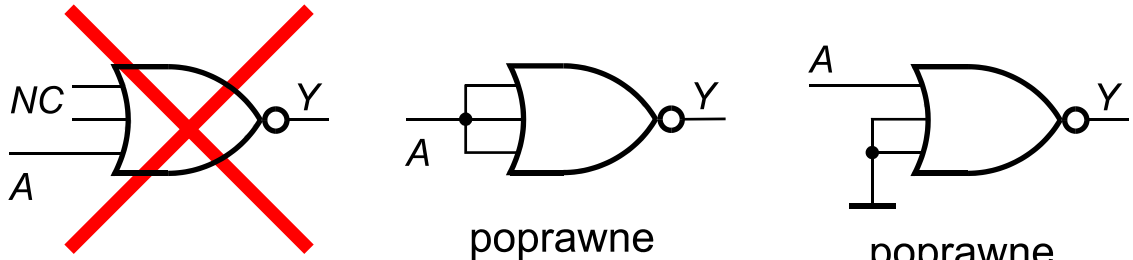
poprawne

poprawne

poprawne
(z ograniczeniami)

NC - not connected

Bramki typu OR i NOR



błędne!

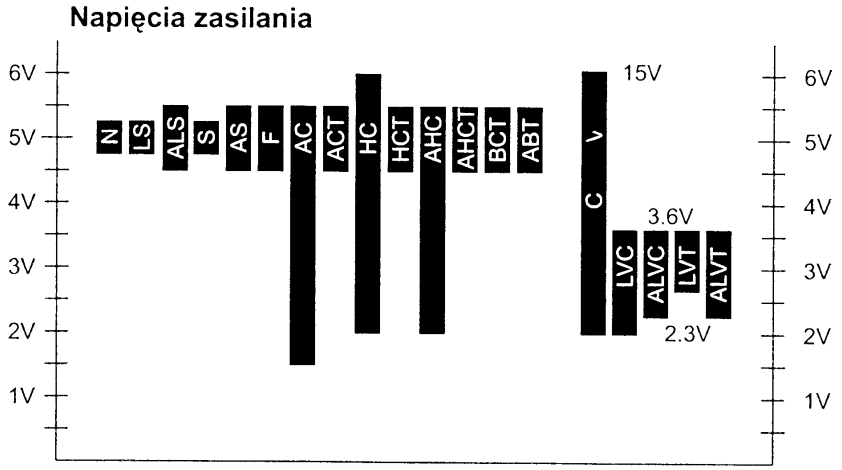
poprawne
(z ograniczeniami)

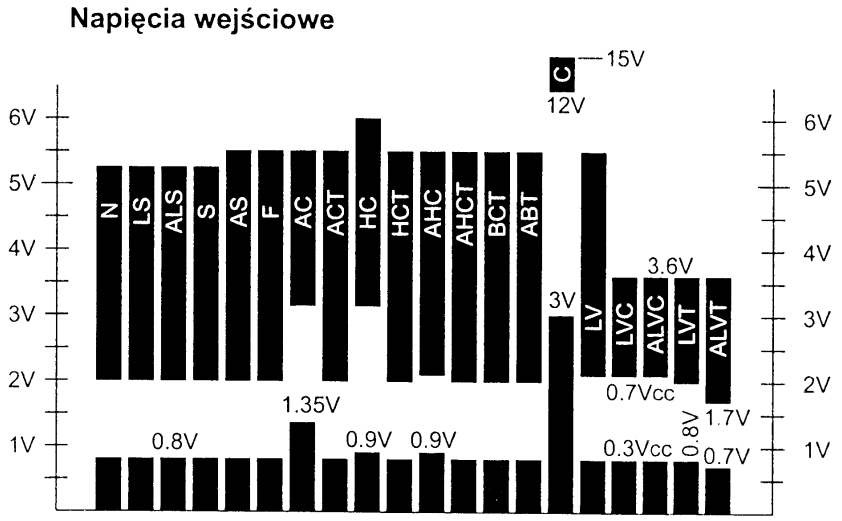
poprawne

Rys. 1.15. Przykłady postępowania z wejściami nadmiarowymi w układach TTL.

- Niepodłączone wejścia są w stanie 1. W bramkach AND/NAND nie podłączenie wejść wydłuża czas propagacji z wejść podłączonych i zwiększa podatność na zakłócenia.
- Podłączanie wejść wprost do *Ucc* dozwolone dla *Ucc* = 4,75…5,25V. Niektórzy producenci dopuszczają większe nap. zasilania (np. do 7V w UCY7400) ale dopuszczalne napięcie wejściowe musi być mniejsze (np. 5,5V w UCY7400).
- Łączenie wejść bramek OR i NOR powoduje zwielokrotnienie pojemności i prądu wejściowego.

Charakterystyki elektryczne serii układów 74xx

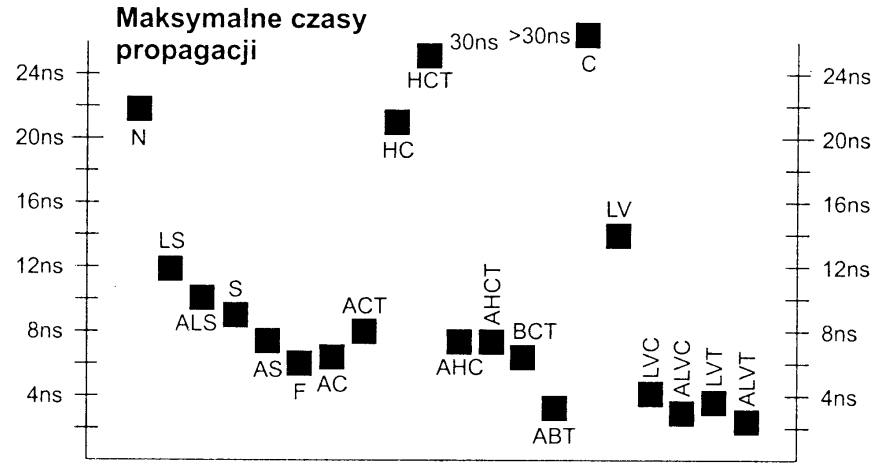


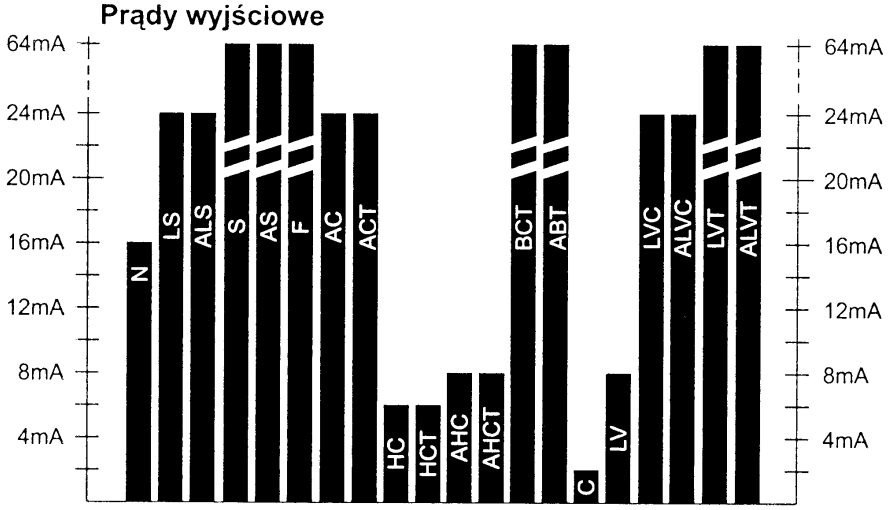


Technologia TTL	
N	Normal Logic 74xx
LS	Low-Power Schottky Logic
A	Advanced Low-Power Schottky Logic
S	Schottky Logic
AS	Advanced Schottky Logic
F	Fast Logic
Technologia CMOS (końcówki zgodne z TTL)	
AC/ACT	Advanced CMOS Logic
HC(T)	High-Speed CMOS Logic
AHC(T)	Advanced High-Speed CMOS Logic
BCT	BiCMOS Bus-Interface Technology
ABT	Advanced BiCMOS Technology
C	CMOS Logic
LV/LVC	Low-Voltage CMOS Technology
LVT	Low-Voltage BiCMOS Technology
ALVT	Advanced Low-Voltage BiCOMS Technology

Rys. 1.16. Porównanie napięć zasilania i napięć wejściowych w układach 74xx.

Charakterystyki elektryczne serii układów 74xx

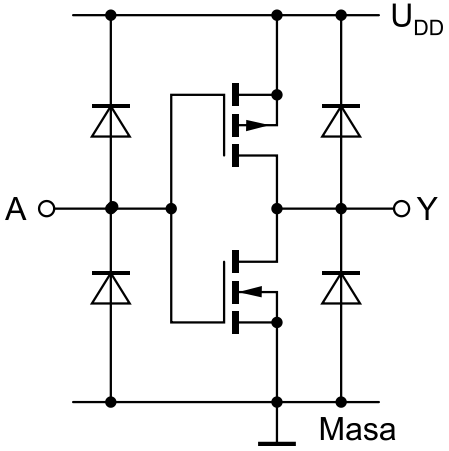




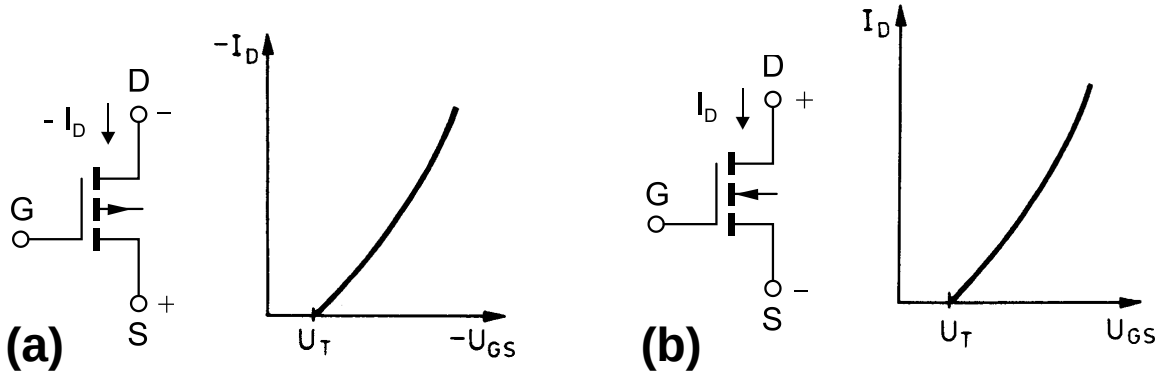
Technologia TTL	
N	Normal Logic 74xx
LS	Low-Power Schottky Logic
A	Advanced Low-Power Schottky Logic
S	Schottky Logic
AS	Advanced Schottky Logic
F	Fast Logic
Technologia CMOS (końcówki zgodne z TTL)	
AC/ACT	Advanced CMOS Logic
HC(T)	High-Speed CMOS Logic
AHC(T)	Advanced High-Speed CMOS Logic
BCT	BiCMOS Bus-Interface Technology
ABT	Advanced BiCMOS Technology
C	CMOS Logic
LV/LVC	Low-Voltage CMOS Technology
LVT	Low-Voltage BiCMOS Technology
ALVT	Advanced Low-Voltage BiCOMS Technology

Rys. 1.17. Porównanie czasów propagacji i prądów wyjściowych w układach 74xx.

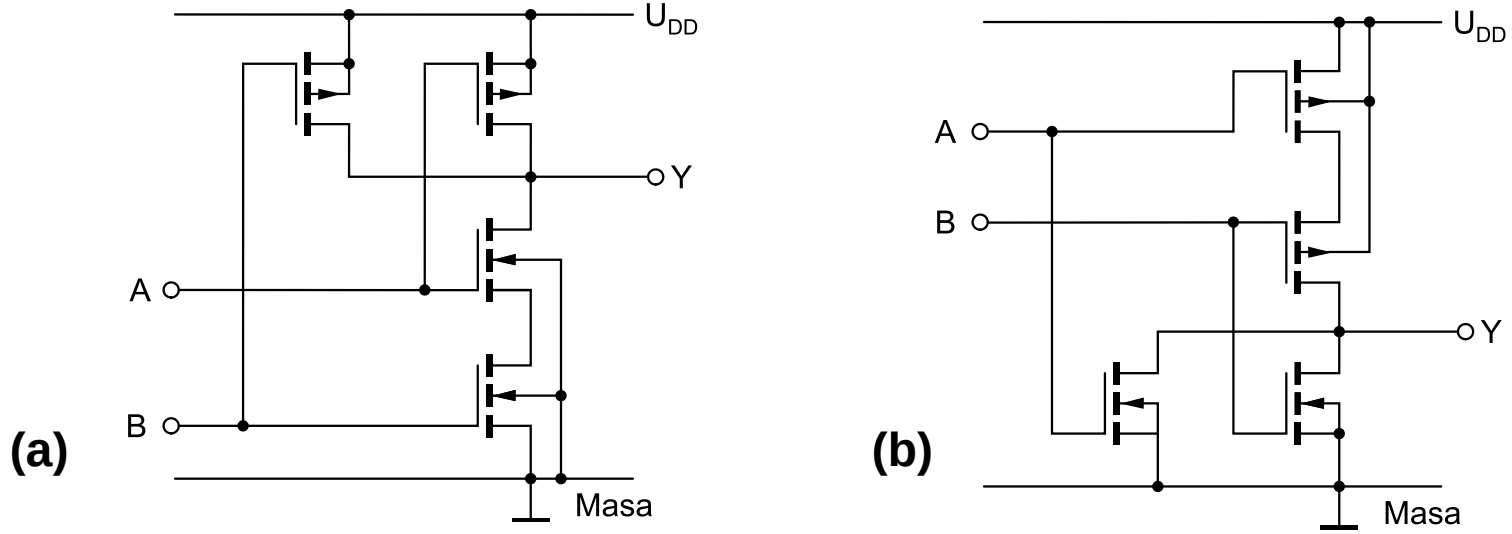
Podstawowe bramki CMOS (Complementary metal–oxide–semiconductor)



Rys. 1.18. Podstawowy układ inwertera CMOS.



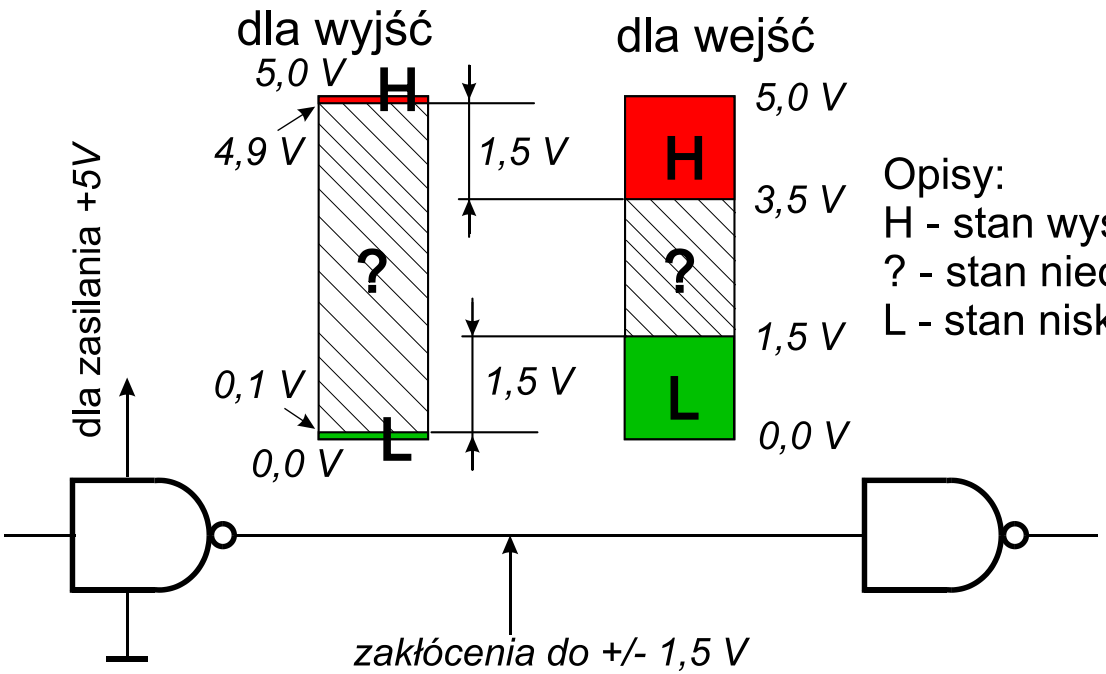
Rys. 1.19. Charakterystyki przejściowe tranzystorów MOS z kanałem wzbogaconym (a) kanał p, (b) kanał n.



Rys. 1.20. Uproszczone układy bramek CMOS typu (a) NAND i (b) NOR.

Nie istnieje standard napięć dla układów CMOS z rodziny 40xx/45xx

- Napięcia zasilania w układach 40xx/45xx mogą mieć bardzo szeroki zakres – nawet do 2…20V.
- Poziomy napięć dla stanów niskich i wysokich zależą od przyjętego napięcia zasilania oraz w pewnym stopniu także od wybranej serii układów.
- Stosowanie wysokich napięć zasilania może być konieczne z następujących przyczyn:
  - maksymalny prąd wyjścowy rośnie ze wzrostem napięcia zasilania,
  - maksymalna częstotliwość pracy rośnie ze wzrostem napięcia zasilania (tylko kilka MHz dla *Ucc* = 5V).

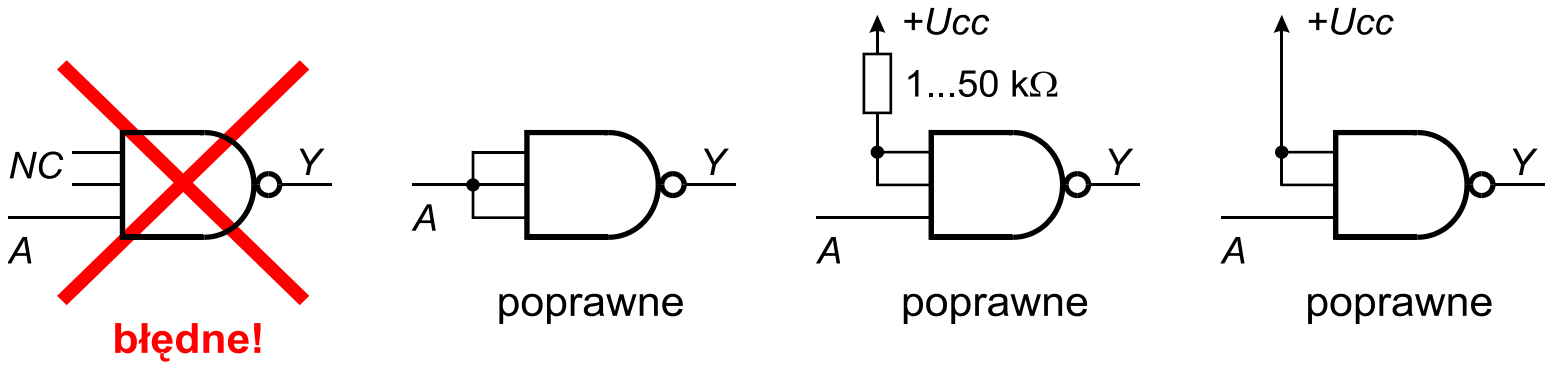


Opisy:
H - stan wysoki,
? - stan nieokreślony,
L - stan niski.

Rys. 1.21. Przykładowe poziomy napięć dla układów serii 40xxB. Przykład dotyczy **tylko** napięcia zasilania 5V.

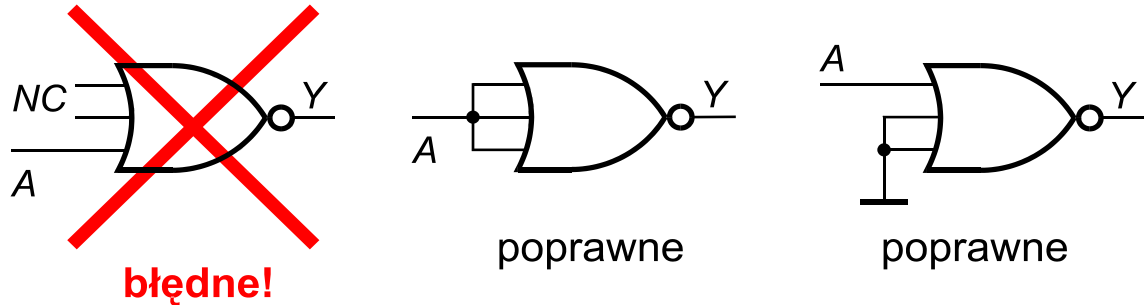
Postępowanie z nadmiarowymi wejściami układów CMOS

Bramki typu AND i NAND



NC - not connected

Bramki typu OR i NOR



Rys. 1.22. Przykłady postępowania z wejściami nadmiarowymi w układach CMOS.

- Nie można założyć żadnego określonego stanu dla wejść niepodłączonych. Możliwa jest fluktuacja stanu na wejściu bez podłączenia.
- Zwielokrotnianie prądów wejściowych na wejściach połączonych ze sobą nie sprawia problemów. Prądy wejściowe są bardzo małe w porównaniu do maksymalnych prądów wyjściowych. Należy jednak pamiętać o sumowaniu pojemności wejściowych.

1.4. Literatura

[1] P. Misiurewicz, *Układy automatyki cyfrowej*, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 1984.

[2] W Sasal, *Układy scalone serii UCA64/UCY74*, WKiŁ, Warszawa 1990.

[3] R. Ćwirko, M. Rusek, W. Marciniak, Układy scalone w pytaniach i odpowiedziach, WNT, Warszawa, 1987.

[4] W. Głocki, *Układy cyfrowe*, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 2008.

[5] W. Traczyk, *Układy cyfrowe. Podstawy teoretyczne i metody syntezy*, WNT, Warszawa 1986.

[6] pod red. M. Sokół, *Układy cyfrowe TTL i CMOS serii 74*, Wydawca Wiesław Haligowski, Gdańsk 2003.

[7] M. Molski, *Wstęp do techniki cyfrowej*, WKiŁ, Warszawa 1989.

[8] J. Kalisz, *Podstawy elektroniki cyfrowej*, WKiŁ, Warszawa 2002.

[9] P. Horowitz, W. Hill, Sztuka elektroniki, WKiŁ, Warszawa 2001.

[10] U. Tietze, Ch. Schenk, Układy półprzewodnikowe, WNT, Warszawa 2009.