



Politechnika Łódzka

Instytut Fizyki

Laboratorium elektroniki

Ćwiczenie E55

Synchroniczne układy sekwencyjne

Spis treści:

1. Cel ćwiczenia.....	3
2. Zagrożenia	3
3. Wprowadzenie teoretyczne.....	4
3.1. Opis synchronicznego układu sekwencyjnego.....	4
3.2. Metoda syntezy synchronicznego układu sekwencyjnego.....	5
4. Dostępna aparatura	15
4.1. Moduł zadajnika stanów logicznych	15
4.2. Moduł przerzutników	15
4.3. Moduły bramek logicznych.....	17
4.4. Moduł testera stanów logicznych	17
4.5. Zasilacz.....	18
5. Przebieg doświadczenia.....	18
5.1. Kolejność czynności	18
5.2. Propozycje zadań realizowanych przez synchroniczny układ sekwencyjny	20
6. Wskazówki do raportu.....	23
7. Literatura	24
Aneksy.....	25
A. Układ przerzutników JK-MS 7476.....	25

Przed zapoznaniem się z instrukcją i przystąpieniem do wykonywania ćwiczenia należy opanować następujący materiał teoretyczny:

1. Projektowanie i minimalizacja kombinacyjnych układów logicznych w zakresie objętym ćwiczeniami E51 i E52 [1-7].
2. Podział układów przełączających na układy kombinacyjne i sekwencyjne. Podział układów sekwencyjnych na synchroniczne i asynchroniczne [1-7].
3. Tablice przejść przerzutników typu JK-MS oraz D [1-7].
4. Struktura automatów synchronicznych Moore'a i Mealy'ego. Stan wewnętrzny automatu, opis przejść automatu przy użyciu tablicy, grafu i funkcji przejść, kodowanie tablicy przejść, funkcja i tablica wyjść [1-7].
5. Projektowanie automatów synchronicznych o strukturze Moore'a i Mealy'ego [1-7].
6. Niepełna równoważność synchronicznych automatów sekwencyjnych Moore'a i Mealy'ego [1,2].

1. Cel ćwiczenia

Celem ćwiczenia jest zaprojektowanie, wykonanie i przetestowanie synchronicznego układu sekwencyjnego złożonego z przerzutników JK-MS, bramek NAND oraz NOR, który realizuje postawione zadanie w możliwie najprostszym sposobie. Wejście zegarowe zrealizowanego układu sterowane jest przy użyciu wyzwalanego ręcznie generatora pojedynczych impulsów, co daje możliwość śledzenia krok po kroku przejść zachodzących w układzie na wielokanałowym testerze stanów logicznych.

2. Zagrożenia

Rodzaj	Brak	Małe	Średnie	Duże
zagrożenie elektryczne		+		
zagrożenie optyczne	+			
zagrożenie mechaniczne (w tym akustyczne, hałas)	+			
zagrożenie polem elektro-magnetycznym (poza widmem optycznym)	+			
zagrożenie biologiczne	+			
zagrożenie radioaktywne (jonizujące)	+			
zagrożenie chemiczne	+			
zagrożenie termiczne (w tym wybuch i pożar)	+			

Przewody z wtykami bananowymi są przeznaczone wyłącznie do użytku w obwodach niskiego napięcia – nie wolno podłączać ich do gniazda sieci zasilającej 230 V.

3. Wprowadzenie teoretyczne

3.1. Opis synchronicznego układu sekwencyjnego

Układy cyfrowe mogą posiadać dowolną liczbę wejść. W celu uproszczenia zapisu wprowadzimy wektor stanów wejściowych \mathbf{X} obejmujący wszystkie binarne sygnały wejściowe x_1, x_2, \dots, x_n

$$\mathbf{X} = (x_1, x_2, \dots, x_n). \quad (1)$$

Analogicznie wprowadzimy wektor stanów wyjściowych \mathbf{Y} złożony ze wszystkich binarnych sygnałów wyjściowych y_1, y_2, \dots, y_m

$$\mathbf{Y} = (y_1, y_2, \dots, y_m). \quad (2)$$

W układach kombinacyjnych stan wyjścia układu w dowolnej chwili t jest jednoznacznie określony przez bieżący stan jego wejść

$$\mathbf{Y}^t = f(\mathbf{X}^t). \quad (3)$$

W układach sekwencyjnych stan wyjścia zależy nie tylko od bieżącego stanu wejść \mathbf{X}^t układu, lecz także od wcześniejszych stanów wejść

$$\mathbf{Y}^t = f(\mathbf{X}^t, \mathbf{X}^{t-1}, \mathbf{X}^{t-2}, \dots). \quad (4)$$

Do opisu stanu pamięci układu sekwencyjnego wprowadzimy pojęcie wektora stanu wewnętrznego \mathbf{Q} złożonego ze wszystkich binarnych stanów linii sprzężenia zwrotnego q_1, q_2, \dots, q_k

$$\mathbf{Q} = (q_1, q_2, \dots, q_k). \quad (5)$$

Pamięć układu sekwencyjnego realizuje się poprzez objęcie sprzężeniem zwrotnym bloku wejściowego oznaczonego na rys. 1 prostokątem z linii przerywanej. W układach asynchronicznych, których praca nie jest synchronizowana żadnym zegarem, blok wejściowy składa się jedynie z układu kombinacyjnego, zaś kolejne takty pracy 1, 2, ..., $t-2$, $t-1$, t następują pod wpływem zmian stanów wejściowych \mathbf{X} . W układach synchronicznych blok wejściowy złożony jest z bloku kombinacyjnego γ oraz bloku pamięci μ (rys. 1). **Funkcja przejść** δ , realizowana przez blok wejściowy, określa kolejny stan wewnętrzny \mathbf{Q}^{t+1} na podstawie poprzedzającego stanu wewnętrznego \mathbf{Q}^t i wejściowego \mathbf{X}^t

$$\mathbf{Q}^{t+1} = \delta(\mathbf{Q}^t, \mathbf{X}^t). \quad (6)$$

Rola bloku pamięci μ nie zawsze sprowadza się jedynie do okresowego przepisywania stanu wejść pamięci \mathbf{W} na jej wyjście \mathbf{Q} , zatem w ogólnym przypadku nie można utożsamiać funkcji przejść δ z funkcją wejściowego bloku kombinacyjnego γ .

Drugi układ kombinacyjny realizuje **funkcję wyjść** λ , której wynik określa stan wyjść automatu. W automacie Moore'a (rys. 1.a) argumentem funkcji wyjść jest tylko stan wewnętrzny

$$\mathbf{Y}^t = \lambda_1(\mathbf{Q}^t), \quad (7)$$

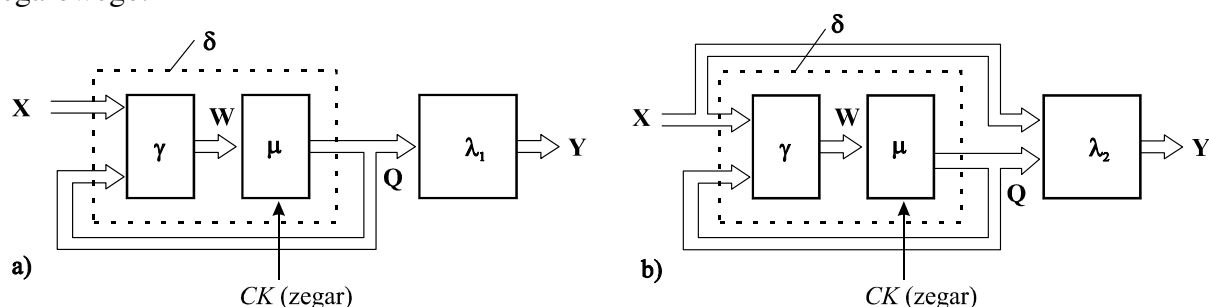
natomiast w automacie Mealy'ego (Rys. 1.b) jest to zarówno stan wejściowy jak i stan wewnętrzny

$$\mathbf{Y}^t = \lambda_2(\mathbf{X}^t, \mathbf{Q}^t). \quad (8)$$

W przypadku szczególnie prostych automatów stan wyjściowy \mathbf{Y} może być tożsamy ze stanem wewnętrznym \mathbf{Q} .

W tym ćwiczeniu rozważane będą wyłącznie układy synchroniczne, w których zmiany stanów wejściowych X mogą oddziaływać na stany wewnętrzne Q tylko w ściśle określonych momentach wyznaczonych sygnałem na wejściu zegarowym CK (rys. 1). Okres zegara przyjmowany jest zwykle za umowną bezwymiarową jednostkę czasu. Spotykane w literaturze oznaczenie kolejnego cyklu pracy symbolem „ $t + 1$ ” nie jest formalnie poprawne i dla układów synchronicznych stosuje się także oznaczenie „ $n + 1$ ” przyjęte dalej w niniejszej instrukcji.

W automatach synchronicznych Moore’a, o strukturze przedstawionej na rys. 1.a, zmiany stanów wyjściowych Y odbywają się także w sposób całkowicie synchroniczny. Przejście od automatu o strukturze Moore’a do struktury Mealy’ego (rys. 1.b) pozwala często na uproszczenie układu, jednakże oznacza także dopuszczenie zmian asynchronicznych na wyjściu Y wyzwalanych przez zmiany stanów wejściowych X przed nadejściem impulsu zegarowego.



Rys. 1. Synchroniczne automaty cyfrowe: a) automat Moore'a; b) automat Mealy'ego.

Oznaczenia bloków: γ – wejściowy blok kombinacyjny, μ – blok pamięci, λ – wyjściowy blok kombinacyjny.

Aby zapewnić poprawną pracę sekwencyjnego układu synchronicznego, układ musi w każdej sytuacji nadążać za zmianami sygnału zegarowego. Ponadto zmiany stanów wejść X muszą odbywać się pomiędzy impulsami zegarowymi CK z zachowaniem odpowiedniego wyprzedzenia. Jeżeli zmiany stanu wewnętrznego układu są związane z pojawieniem się chwilowych przekłamań w wyniku hazardu, to ten stan nieustalony musi zakończyć się przed nadejściem kolejnego impulsu zegarowego. W poprawnie zaprojektowanym i użytkowanym układzie synchronicznym hazard występujący w blokach kombinacyjnych wewnątrz układu nie może być przyczyną przejścia do błędnego stanu. Ponieważ analiza hazardu i wprowadzanie środków zapobiegawczych bardzo się komplikuje przy zwiększaniu złożoności układu, w rozbudowanych systemach cyfrowych stosuje się niemal wyłącznie układy synchroniczne.

Jeżeli źródło sygnałów nie gwarantuje synchronizacji zmian z sygnałem zegarowym, to eliminacja skutków hazardu w układach synchronicznych jest możliwa przez wprowadzenie na wejściach dodatkowych rejestrów PIP0 zapisywanych jednocześnie z przerzutnikami należącymi do układu sekwencyjnego lub z pewnym ustalonym przesunięciem w czasie.

3.2. Metoda syntezy synchronicznego układu sekwencyjnego

Projektowanie synchronicznego układu sekwencyjnego z przerzutników synchronicznych oraz bramek logicznych przebiega zazwyczaj według procedury złożonej z następujących etapów:

1. Analiza treści zadania i dodatkowe **założenia projektowe**.
2. Sporządzenie pierwotnej **listy stanów wewnętrznych** automatu.

3. Przedstawienie przejść między stanami automatu w formie **grafu przejść**.
4. Zapisanie **pierwotnej tablicy przejść i wyjść** dla stanów automatu Moore'a.
5. Wyszukanie w pierwotnej tablicy przejść **stanów równoważnych** pod względem przejść oraz wyjść i połączenie ich w pojedyncze stany.
6. Wyszukanie i połączenie **stanów zgodnych** pod względem przejść, ale różniących się stanem wyjść. Decyzja o połączeniu takich stanów oznacza przejście od automatu o strukturze Moore'a do automatu Mealy'ego.
7. Jeżeli liczba stanów wewnętrznych została zredukowana, sporządzenie **zredukowanej tablicy przejść** oraz grafu dla stanów zredukowanych.
8. **Kodowanie stanów wewnętrznych** poprzez binarne stany wewnętrzne q_1, q_2, q_3, \dots .
9. Zapisanie **zakodowanych tablic przejść** dla każdego z binarnych stanów wewnętrznych q_1, q_2, q_3, \dots .
10. Wybór typu przerzutników w bloku pamięci μ (rys. 1) i sporządzenie **tablic wzbudzeń przerzutników**.
11. **Synteza funkcji wzbudzeń przerzutników** γ kolejno dla poszczególnych wejść przygotowujących w przerzutnikach (w tym ćwiczeniu wejścia J oraz K przerzutników typu JK-MS).
12. **Synteza funkcji wyjść** λ .
13. Sporządzenie **schematu** układu zrealizowanego przy użyciu dostępnych elementów logicznych.

W przypadku niektórych projektów wybrane etapy mogą zostać pominięte, np. czasami korzystne jest wybranie takiego sposobu kodowania stanów wewnętrznych q_i (nawet za cenę zwiększenia liczby wszystkich stanów, z których tylko część to stany poprawne), że stają się one jednocześnie stanami wyjściowymi y_i . W takiej sytuacji wyjściowy blok kombinacyjny nie jest potrzebny.

W niniejszym ćwiczeniu pominiemy metody projektowania rozbudowanych bloków cyfrowych, dla których podany powyżej plan postępowania może być nieefektywny. Działanie dużych bloków funkcjonalnych, takich jak np. układy mnożące i dzielące, może być opisane poprzez sieć działań złożoną z operacji prostszych synchronicznych bloków funkcjonalnych (mikrooperacji) oraz warunkowych rozgałęzień. Projektowany układ ma wówczas postać kilku bloków funkcjonalnych realizujących założone mikrooperacje (np. rejestry, liczniki, akumulatory) oraz synchronicznego automatu sterującego pracą tych bloków. Wprowadzenie do projektowania takich układów zostało przedstawione w literaturze [2,4].

Przykład syntezy automatu o strukturze Mealy'ego

Rozważmy kolejne etapy projektowania automatu o strukturze Mealy'ego na przykładzie układu, który wykrywa na wejściu szeregowym X sekwencję stanów $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ pojawiających się w takt kolejnych impulsów zegarowych CK (*clock*). Wykrycie podanej sekwencji jest sygnalizowane stanem 1 na wyjściu Y przez czas nie dłuższy niż okres sygnału zegarowego.

Zauważmy, że słowny opis oczekiwanego działania układu nie jest całkowicie jednoznaczny. W rozważanym projekcie przyjmujemy następujące **dotatkowe założenia projektowe**:

- Układ jest wyzwalany dodatnimi impulsami $0 \rightarrow 1 \rightarrow 0$ na wejściu zegarowym CK , tzn. zapamiętanie stanu wektora \mathbf{W} wewnątrz dwutaktowego bloku pamięci μ następuje podczas zbocza rosnącego $0 \rightarrow 1$, natomiast przepisanie tego stanu na wyjście bloku pamięci \mathbf{Q} następuje bezpośrednio po zboczu opadającym $1 \rightarrow 0$. Zmiany stanu wejścia X mogą odbywać się wyłącznie w okresach gdy $CK = 0$ (jeżeli konieczne jest dopuszczenie

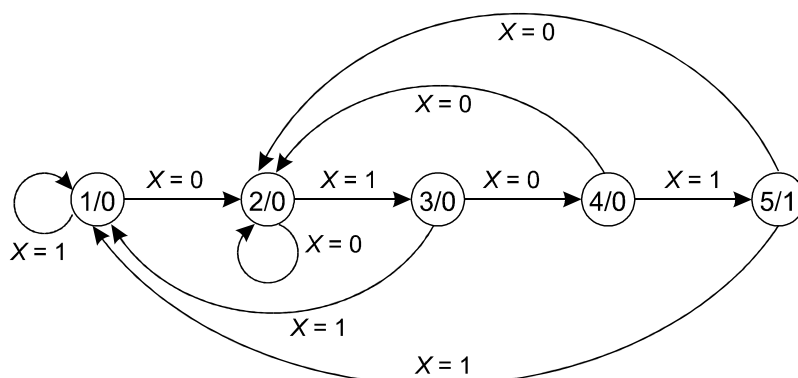
zmian X także podczas $CK = 1$ pomiędzy zboczami, to należy zastosować przerzutniki wyzwalane zboczem opadającym zamiast przerzutników dwutaktowych „Master-Slave” wyzwalanych impulsem).

- Układ bezpośrednio po włączeniu zasilania może wejść w dowolny stan przewidziany na liście lub inny nieprzewidziany stan nadmiarowy. Założymy, że układ posiada dodatkowe wejście do asynchronicznego wstępnego ustawiania układu w stan nr 1. Wejście to jest podłączone bezpośrednio do zanegowanych wejść \overline{CLR} asynchronicznego zerowania przerzutników, co oznacza, że stan logiczny 0 jest stanem aktywującym zerowanie.
- Moment w którym powinno rozpocząć się sygnalizowanie na wyjściu Y wystąpienia zadanej sekwencji stanów wejściowych nie jest dokładnie określony. Przyjmijmy, że pożądane jest przestawienie wyjścia Y w stan 1 bezpośrednio po tym przejściu zegarowym $1 \rightarrow 0$, podczas którego na wejściu X trwała ostatnia jedynka z rozpoznawanej sekwencji.

Następnym etapem jest sporządzenie pierwotnej **listy stanów wewnętrznych** projektowanego automatu. Treść podanego zadania sugeruje wyraźnie stany odpowiadające kolejnym etapom sekwencji $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$. Ponadto potrzebny jest dodatkowy stan początkowy dla odróżnienia sytuacji przed rozpoczęciem sekwencji. Rozważymy zatem następującą pierwotną listę stanów wewnętrznych:

1. Wskazana sekwencja jeszcze nie zaczęła się: wejście X jest utrzymywane w stanie 1; stan 0 jeszcze nie pojawił się ($Y = 0$).
2. W bieżącym cyklu zegarowym pojawił się pierwszy w sekwencji stan 0 na wejściu X ($Y = 0$).
3. W bieżącym cyklu zegarowym pojawił się pierwszy w sekwencji stan 1 na wejściu X ($Y = 0$).
4. W bieżącym cyklu zegarowym pojawił się drugi w sekwencji stan 0 na wejściu X ($Y = 0$).
5. W bieżącym cyklu zegarowym pojawił się drugi w sekwencji stan 1 na wejściu X , zatem oczekiwana sekwencja została zakończona ($Y = 1$).

Treść zadania uzupełniona założeniami projektowymi i listą stanów wewnętrznych daje wystarczające podstawy do sporządzenia **grafu przejść** dla stanów pierwotnych, który przedstawiono na rys. 2.



Rys. 2. Graf przejść automatu Moore'a między pierwotnymi stanami wewnętrznymi. Wartości podane przy strzałkach oznaczają stan wejścia X , który wyzwała dane przejście. Wartości wewnątrz kółek zapiano wg konwencji: nr stanu wewnętrznego/stan wyjścia Y .

Kolejnym krokiem jest przygotowanie **pierwotnej tablicy przejść** między stanami wewnętrznymi układu (Tabela 1). Zazwyczaj tablicę przejść wykonuje się w formie dwuwymiarowej tablicy, w której kolejne wiersze odpowiadają kolejnym stanom wewnętrznym, natomiast kolejne kolumny odpowiadają poszczególnym kombinacjom stanów wejściowych uporządkowanych zgodnie z **kodem Graya**. Zmiany stanów wejść zachodzące pomiędzy impulsami zegarowymi odpowiadają przejściom poziomym wzdłuż jednego wiersza tabeli. Wartości zapisane wewnątrz komórek tablicy przejść są numerami docelowego wiersza tabeli dla przejścia realizowanego wzdłuż kolumny podczas odpowiedniego impulsu zegarowego. Zauważmy, że tablice przejść projektowane dla układów synchronicznych oraz asynchronicznych (realizowanych wcześniej w ćwiczeniach E53 i E54) wykazują istotne różnice:

- rozróżnianie w tablicy przejść stanów stabilnych i niestabilnych, które praktykuje się w przypadku układów asynchronicznych, staje się niecelowe w układach synchronicznych, gdzie czas trwania stanu niestabilnego może być dowolnie długi w zależności od tempa nadchodzenia impulsów zegarowych. Ponadto liczne układy synchroniczne z założenia powinny przechodzić cyklicznie pomiędzy stanami niestabilnymi nie osiągając nigdy żadnego stanu stabilnego (np. liczniki modulo N).
- W tabelach dla układów asynchronicznych przejście do jednego wybranego stanu stabilnego może odbywać się poprzez sekwencję wielu przejść pomiędzy stanami niestabilnymi. W przypadku układów synchronicznych każde dodatkowe przejście między dwoma stanami wzdłuż kolumny w tabeli przejść wymaga kolejnego okresu sygnału zegarowego.

S^n	X		Y
	0	1	
1	2	1	0
2	2	3	0
3	4	1	0
4	2	5	0
5	2	1	1

S^{n+1}

Tabela 1. Pierwotna tablica przejść automatu Moore'a. Dodatkowo zapisano stan wyjścia Y , który w przypadku automatu Moore'a jest jednoznacznie powiązany z numerem wiersza w tabeli. Symbole S^n oraz S^{n+1} oznaczają bieżący oraz kolejny numer stanu wewnętrznego automatu.

Pierwotna lista stanów wewnętrznych często jest sporządzana w sposób intuicyjny i może wprowadzać zbyt wiele stanów. Zachowanie nadmiarowych stanów nie jest błędem prowadzącym do nieprawidłowego działania układu, jednakże przyczynia się do niepotrzebnej komplikacji projektu i układu elektronicznego. Zasady redukcji stanów są następujące:

Dwa stany są **stanami równoważnymi** jeżeli w odpowiadających im wierszach pierwotnej tablicy przejść i wyjść:

- stany wyjść w obu wierszach są jednakowe,
- posiadają zgodne przejścia, tzn. oba rozważane wiersze mają w każdej kolumnie stany jednakowe lub stany równoważne,
- w miejsce (–) możemy wpisać cokolwiek jeżeli umożliwi to uznanie stanów za równoważne.

W literaturze dotyczącej synchronicznych układów sekwencyjnych stany równoważne są także nazywane **stanami zgodnymi w strukturze Moore'a**. Analiza Tabeli 1 prowadzi do wniosku, że nie istnieją w niej żadne stany równoważne.

Dwa stany są **stanami zgodnymi w strukturze Mealy'ego** jeżeli odpowiednie wiersze w tablicy przejść są zgodne pod względem przejść, natomiast stan przynajmniej jednego wyjścia jest sprzeczny. Połączenie takich stanów nie jest możliwe przy zachowaniu struktury automatu Moore'a. W Tabeli 1 możemy dostrzec jedną parę stanów zgodnych: 1 i 5. Ponieważ liczba stanów może zostać zredukowana z 5 do 4, trzeba uznać to za mocny argument na rzecz wyboru automatu Mealy'ego. Redukcja ta jest szczególnie korzystna z następujących przyczyn:

- redukcja liczby stanów umożliwia także redukcję liczby binarnych linii sprzężenia zwrotnego q_i z 3 do 2,
- dwa stany binarne q_1 i q_2 umożliwiają zakodowanie $2^2 = 4$ stanów wewnętrznych, zatem po redukcji stanów nie będzie możliwości wejścia automatu w żaden niepożądany stan nadmiarowy.

W dalszych etapach projektu będziemy posługiwać się stanami wewnętrznymi po redukcji, które zostały zdefiniowane w Tabeli 2.

stany pierwotne	stany po redukcji
1, 5	1'
2	2'
3	3'
4	4'

Tabela 2. Redukcja stanów automatu przez łączenie stanów zgodnych.

Wykorzystując dane z Tabeli 1 i 2 zapisujemy **zredukowaną tablicę przejść** automatu, którą przedstawiono w Tabeli 3. Zauważmy, że w tabeli przejść automatu Mealy'ego stany wyjść nie mogą być jednoznacznie przypisane do numerów wierszy tabeli, natomiast można je zapisać wewnątrz komórek tabeli. W Tabeli 3.a przedstawiono pośredni etap tworzenia tablicy przejść dla automatu Mealy'ego z wykorzystaniem stanów przed redukcją. Należy podkreślić, że stany wyjść zapisywane w komórkach danego wiersza Tabeli 3.a nie mogą pochodzić z tego samego wiersza w kolumnie Y Tabeli 1. Ponieważ stany wewnętrzne zapisane w komórkach tablicy przejść są realizowane dopiero w kolejnym cyklu zegarowym, więc dla zachowania jednoznaczności należy je powiązać z przyszłymi stanami wyjść, tzn. odczytać z wiersza Tabeli 1 do którego odsyła numer stanu w danej komórce. W kolejnym kroku stany pierwotne z Tabeli 3.a zastąpiono stanami zredukowanymi, otrzymując docelową postać tablicy przejść automatu Mealy'ego widoczną w Tabeli 3.b.

		X		
	S^n	0	1	
1		2/0	1/0	
2		2/0	3/0	
3		4/0	1/0	
4		2/0	5/1	
5		2/0	1/0	

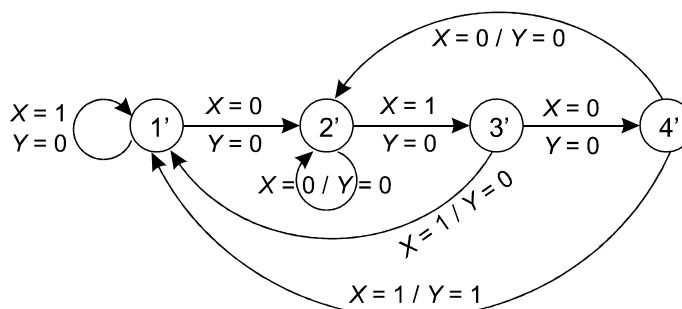
a) S^{n+1}/Y

		X		
	S^n	0	1	
1'		2'/0	1'/0	
2'		2'/0	3'/0	
3'		4'/0	1'/0	
4'		2'/0	1'/1	

b) S^{n+1}/Y

Tabela 3. Tablica przejść automatu Mealy'ego razem z tablicą wyjść: (a) pośredni etap tworzenia tablicy z wykorzystaniem stanów automatu Moore'a przed redukcją stanów zgodnych tylko w strukturze Mealy'ego; (b) docelowa postać tablicy po redukcji stanów zgodnych w strukturze Mealy'ego.

Numery stanów wewnętrznych podanych w węzłach grafu przejść dla automatu Moore'a (rys. 2) pozwalały na jednoznaczny identyfikację stanu wyjść. W przypadku **grafu przejść** dla automatu Mealy'ego stany wyjść można przypisać w sposób jednoznaczny jedynie do przejść na grafie, tak jak pokazano na rys. 3.



Rys. 3. Graf przejść automatu Mealy'ego. Wartości X podane przy strzałkach oznaczają stan wejścia, który wyzwała dane przejście, natomiast wartości Y oznaczają stan wyjścia pojawiający się w momencie gdy spełni się podany stan wejścia X . Przelączenie stanu wyjścia Y w automacie Mealy'ego może nastąpić w sposób niesynchronizowany z sygnałem zegarowym CK.

Następnym krokiem w projekcie jest **kodowanie stanów automatu**, polegające na przyporządkowaniu numerom stanów zredukowanych reprezentacji na binarnych liniach sprzężenia zwrotnego q_1, q_2, \dots, q_k . Ponieważ w synchronicznych układach sekwencyjnych zjawiska wyścigów i hazardu nie są istotne, zatem sposób kodowania może być dowolny. Różne sposoby kodowania nie są jednak równoważne pod względem stopnia złożoności zaprojektowanego układu. Wybór sposobu kodowania gwarantującego minimalną postać układu może być zadaniem bardzo złożonym w przypadku rozbudowanych układów i zostanie pominięty w niniejszej instrukcji. Wprowadzenie do metod wyboru optymalnego sposobu kodowania jest dostępne w literaturze [3]. W wielu przypadkach dobre rezultaty przynosi takie kodowanie, w którym maksymalizuje się liczbę przejść na grafie pomiędzy stanami sąsiednimi logicznie, tzn. takimi którym przypasano kody binarne różniące się tylko jednym bitem. Metoda ta nie dostarcza jednak wyraźnych sugestii w przypadku grafu przedstawionego na rys. 3, na którym każdy stan powiązany jest przejściem bezpośrednim z każdym innym stanem. W takich przypadkach wybór sposobu kodowania może być przypadkowy lub intuicyjny. Postać Tabeli 3.b można uznać za sugestię zakodowania par stanów 1 i 3 oraz 2 i 4 jako sąsiednich logicznie. Przy takim kodowaniu można spodziewać się możliwości poprowadzenia największych pętli na tablicach Karnaugh, które w kolejnych etapach projektowania zostaną zbudowane na podstawie Tabeli 3.b. Przyjęty sposób kodowania przedstawiono w Tabeli 4.

Jeżeli w Tabeli 3.b zastąpimy numery stanów ich binarnymi kodami z Tabeli 4, to otrzymamy **zakodowaną tablicę przejść**. Tablicę przejść rozetniemy na części związane z poszczególnymi wewnętrznymi stanami q_1 i q_2 przedstawione w Tabelach 5.a i 5.b.

stany przed zakodowaniem	stany po zakodowaniu	
	q_2	q_1
1'	0	0
2'	0	1
3'	1	0
4'	1	1

Tabela 4. Kodowanie stanów automatu.

	X		
	0	1	
$q_2^n q_1^n$	00	01	q_1^{n+1}
	1	0	
$q_2^n q_1^n$	11	10	
	1	0	

a)

	X		
	0	1	
$q_2^n q_1^n$	00	01	q_2^{n+1}
	0	1	
$q_2^n q_1^n$	11	10	
	0	0	

b)

Tabela 5. Zakodowane tablice przejść automatu Mealy'ego zapisane w formie tablic Karnaugh dla poszczególnych binarnych stanów wewnętrznych: (a) stan wewnętrzny q_1 , (b) stan wewnętrzny q_2 . Komórki tabel zawierają kolejne stany wewnętrzne automatu zależne od stanów poprzedzających związanych z wierszami tabel oraz stanów wejściowych związanych z kolumnami.

Przejdźcie do następnego kroku projektowania wymaga podjęcia decyzji o typie przerzutników wykorzystywanych w bloku pamięci μ (rys. 1). W przypadku przerzutników typu D, których działanie polega na synchronicznym przepisywaniu stanu wejścia D na wyjście Q , tablice przejść (Tabela 5) są jednocześnie **tablicami wzbudzeń przerzutników**. W przypadku wykorzystania przerzutników synchronicznych innego typu, trzeba uwzględnić postać ich macierzy przejść, która określa jak należy ustawić wejścia przygotowujące przerzutnika w zależności od bieżącego stanu wyjścia przerzutnika q_i^n oraz żądanego stanu q_i^{n+1} po podaniu odpowiedniego impulsu na wejście zegarowe. Macierz przejść przerzutników typu JK-MS dostępnych w Laboratorium Elektroniki przedstawiono w Tabeli 6.

przejście $q_i^n \rightarrow q_i^{n+1}$	przerzutnik D	przerzutnik JK	
	wej. D	wej. J	wej. K
0 \rightarrow 0	0	0	–
0 \rightarrow 1	1	1	–
1 \rightarrow 0	0	–	1
1 \rightarrow 1	1	–	0

Tabela 6. Macierze przejść przerzutników typu D oraz JK. Kreską (–) oznaczono stan dowolny.

Porównanie stanów bieżących q_i^n zapisanych z lewej strony Tabel 5.a. i 5.b ze stanami następnymi w komórkach tabel, a następnie zastąpienie znalezionych przejść stanami wejść J i K wg Tabeli 6 prowadzi do tablic wzbudzeń przedstawionych w Tabeli 7. Zauważmy, że zamiana bloku pamięci μ złożonego z przerzutników typu D na blok zbudowany z

przerzutników typu JK wiąże się z dwukrotnym zwiększeniem liczby wyjść bloku kombinacyjnego γ (rys. 1), jednakże struktura tego bloku zazwyczaj ulega uproszczeniu.

	X		
	0	1	
q_2q_1	1	0	
00	-	-	
01	-	-	
11	-	-	
10	1	0	J_1

	X		
	0	1	
q_2q_1	-	-	
00	0	1	
01	0	1	
11	-	-	
10	-	-	K_1

	X		
	0	1	
q_2q_1	0	0	
00	0	1	
01	-	-	
11	-	-	
10	-	-	J_2

	X		
	0	1	
q_2q_1	-	-	
00	-	-	
01	1	1	
11	0	1	
10	0	1	K_2

Tabela 7. Tablice wzbudzeń przerzutników typu JK w automacie Mealy’ego zapisane w formie tablic Karnaugh’a dla poszczególnych wejść przerzutników. Symbole J_i i K_i oznaczają stany wejść przerzutnika, którego wyjście proste (bez negacji) określa binarny stan wewnętrzny automatu q_i .

Tablice wzbudzeń są podstawą do syntezy funkcji wzbudzeń, przy czym eliminacja hazardu, który w układach synchronicznych miał krytyczne znaczenie, obecnie nie jest celowa

$$J_1 = \bar{X}, \tag{9}$$

$$K_1 = X, \tag{10}$$

$$J_2 = q_1 X = \overline{\overline{q_1 + \bar{X}}}, \tag{11}$$

$$K_2 = q_1 + X = \overline{\overline{q_1 \bar{X}}}. \tag{12}$$

Wykonując przekształcenia we wzorach (11) i (12) założono, że dostępne są bramki NAND i NOR, a przerzutniki posiadają wyjścia zarówno proste jak i zanegowane.

	X		
	0	1	
q_2q_1	0	0	
00	0	0	
01	0	0	
11	0	1	
10	0	0	Y

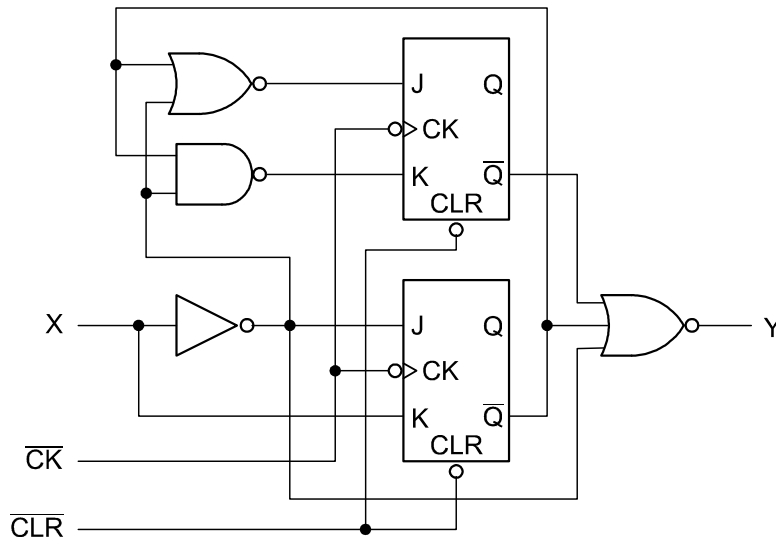
Tabela 8. Tablica wyjścia automatu Mealy’ego.

Kolejnym etapem projektowania jest synteza **funkcji wyjść** na podstawie **tablicy wyjść**. Dane do wypełnienia tablicy wyjść (Tabela 8) można uzyskać przez połączenie informacji o stanie wyjścia Y naniesionych na graf na rys. 3 z tabelą kodowania stanów przedstawioną w Tabeli 4. Nietrudno zauważyć, że stan 1 na wyjściu Y może zdarzyć się

wyłącznie w przypadku, gdy podczas stanu wewnętrznego 4' (o kodzie 11) wejście X zostanie przełączone w stan 1

$$Y = Xq_2q_1 = \overline{\overline{X + q_2 + q_1}} \quad (13)$$

Układ automatu zrealizowanego zgodnie ze wzorami (9)-(13) przedstawiono na rys. 4.



Rys. 4. Schemat synchronicznego automatu Mealy'ego sygnalizującego stanem 1 na wyjściu Y rozpoznanie sekwencji stanów $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ na wejściu X.

Eliminacja zmian asynchronicznych występujących na wyjściu automatu o strukturze Mealy'ego

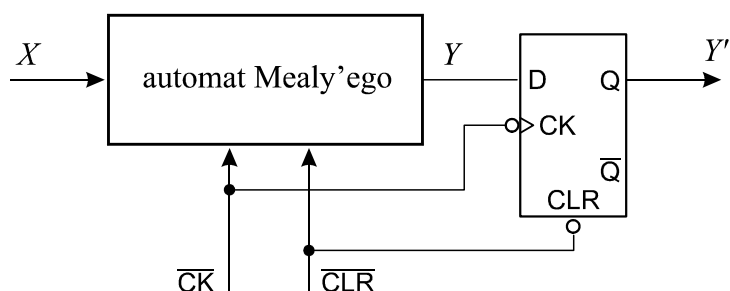
W układzie o strukturze Mealy'ego sygnał $Y = 1$ będzie utrzymywany dopóki układ przebywający w stanie 4' będzie posiadał stan wejścia $X = 1$. Jeżeli stan $X = 1$ pojawi się a następnie zaniknie przed nadejściem kolejnego impulsu zegarowego, to wykrycie charakterystycznej sekwencji także zostanie zasygnalizowane na wyjściu Y. Takie zachowanie układu nie jest zgodne z tekstem zadania, w którym stwierdzono, że kolejne stany wykrywanej sekwencji „pojawiają się w takt kolejnych impulsów zegarowych”. Podjęcie decyzji o akceptacji lub odrzuceniu takiego sposobu działania wymaga wiedzy o urządzeniu sterującym wejściem X oraz urządzeniu sterowanym przez wyjście Y. Jeżeli te urządzenia są także układami synchronicznymi taktowanymi przez tą samą linię zegarową, to opisane zachowanie układu może być dopuszczalne. Trzeba jednak podkreślić, że kolejny układ synchroniczny otrzymujący sygnały zarówno Y jak i X zauważy przejście $0 \rightarrow 1$ na linii Y jednocześnie z przejściem $0 \rightarrow 1$ kończącym sekwencję na linii X. W przypadku zastosowania analogicznego automatu o strukturze Moore'a odpowiedź na linii Y zostanie zauważona przez kolejny układ sekwencyjny o jeden cykl zegarowy później. Treść zadania nie precyzuje jednak momentu, w którym powinno rozpocząć się sygnalizowanie wykrycia określonej sekwencji.

Jeżeli opisany sposób działania automatu Mealy'ego nie zostanie zaakceptowany, to można wskazać następujące możliwości:

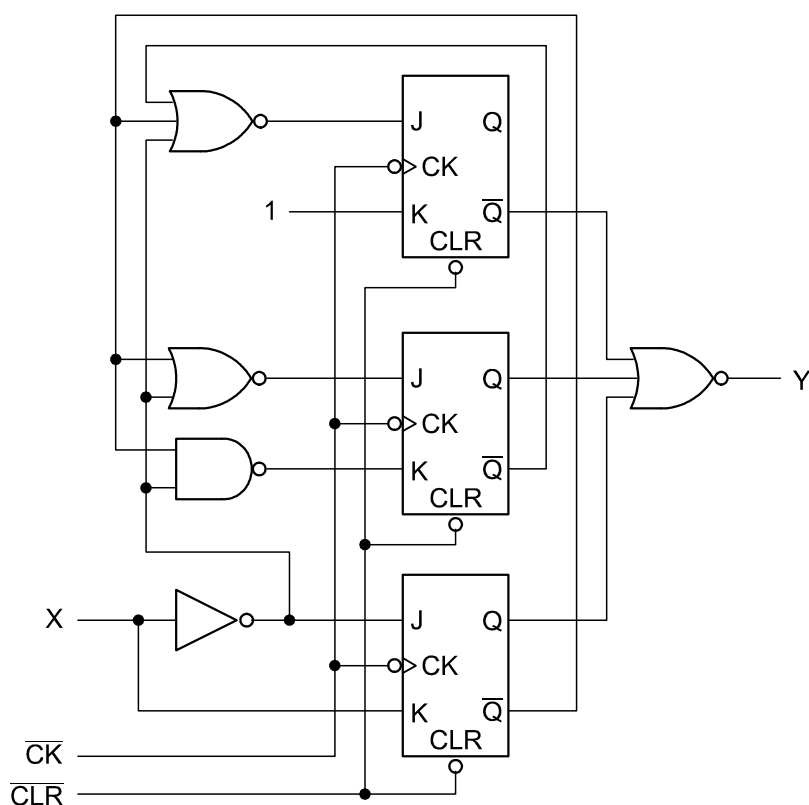
- Działanie automatu Mealy'ego można upodobnić do automatu Moore'a przez zastosowanie dodatkowego przerzutnika typu D synchronizującego zmiany na wyjściu z sygnałem zegarowym (rys. 5).

- Układ można zaprojektować w strukturze Moore'a. Dla rozważanego zadania otrzymany w ten sposób układ (rys. 6) jest bardziej złożony od układu w strukturze Mealy'ego uzupełnionego dodatkowym przerzutnikiem. W przypadku wykrywania sekwencji zer i jedynek o długości $2^N - 1$, można jednak spodziewać się, że układ Moore'a okaże się prostszy.

W niniejszej instrukcji pominiemy analizę kolejnych kroków projektu automatu o strukturze Moore'a przestawionego na rys. 6. Zaprojektowanie tego układu nie powinno sprawić problemów po zrozumieniu przedstawionego powyżej projektu automatu Mealy'ego.



Rys. 5. Wykorzystanie przerzutnika typu D do zamiany asynchronicznych zmian na wyjściu Y automatu Mealy'ego z rys. 4 w zmiany synchroniczne na wyjściu Y'.

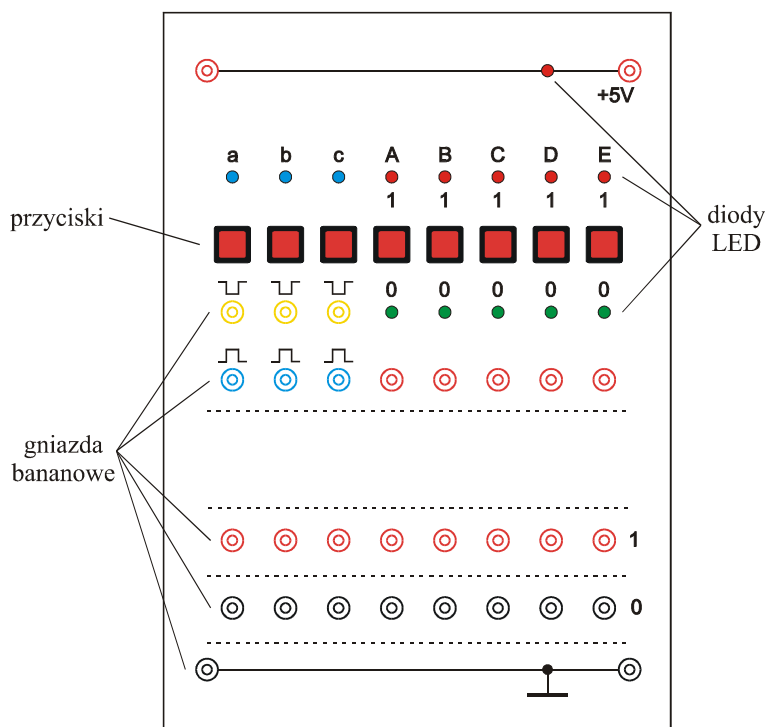


Rys. 6. Schemat synchronicznego automatu Moore'a sygnalizującego stanem 1 na wyjściu Y rozpoznanie sekwencji stanów $0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ na wejściu X.

4. Dostępna aparatura

4.1. Moduł zadajnika stanów logicznych

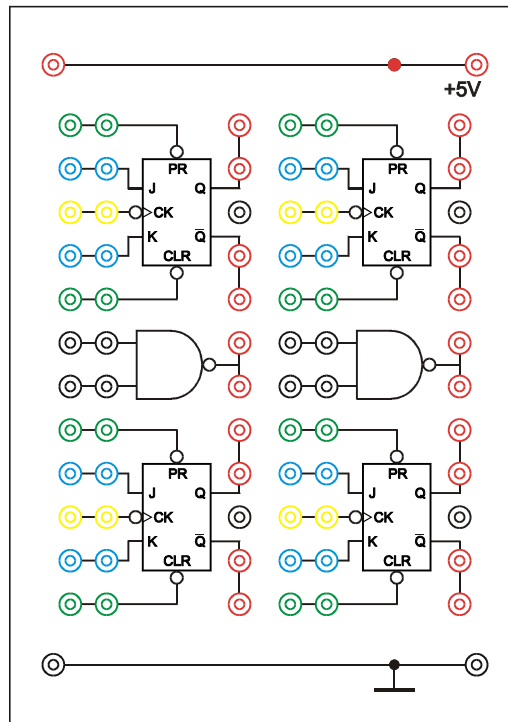
Moduł zadajnika stanów logicznych składa się z pięciu przełączników umożliwiających wybór stanu logicznego 0 albo 1 w czerwonych gniazdach umieszczonych pod przełącznikami (rys. 7). Ponadto moduł zawiera trzy generatory pojedynczego impulsu, przy czym na osobnych gniazdach dostępny jest zarówno impuls stanu 1 (gniazda niebieskie) jak i impuls stanu 0 (gniazda żółte). Generator impulsów jest przydatny jako źródło sygnału zegarowego synchronizującego przejścia badanego układu sekwencyjnego. Ponadto, kolejny kanał generatora impulsów można wykorzystać do wstępnego zerowania/ustawiania przerzutników przy użyciu ich wejść asynchronicznych. W przypadku gdy liczba przełączników jest niewystarczająca, najrzadziej przełączane wejścia badanego układu należy podłączyć do gniazd o ustalonym stanie 0 albo 1 umieszczonych w dolnej części modułu.



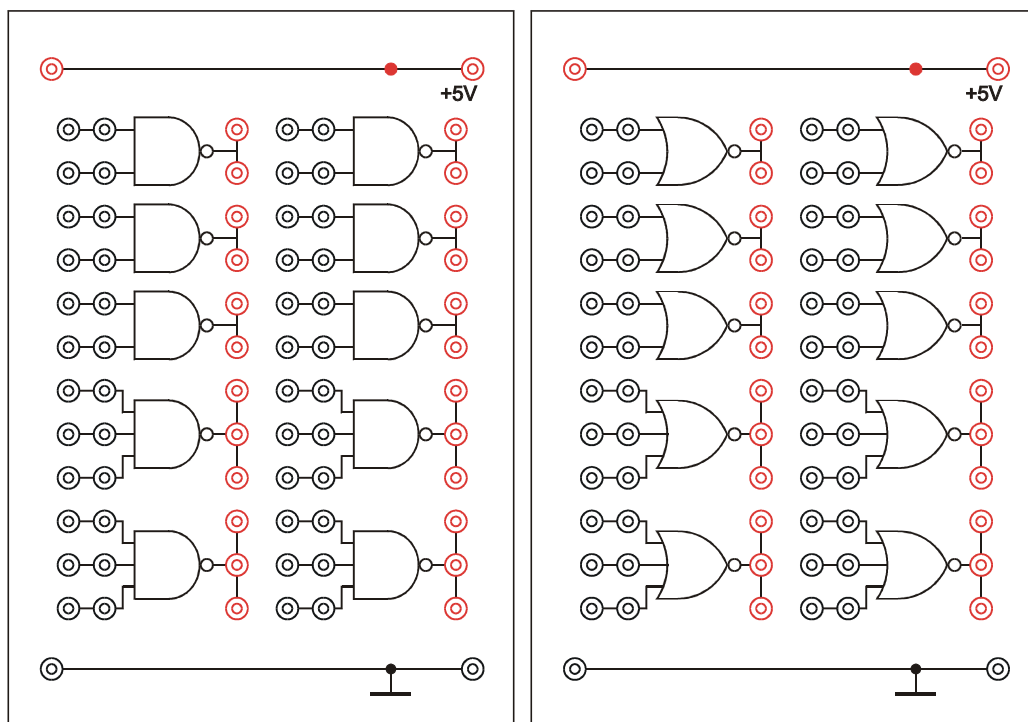
Rys. 7. Panel czołowy modułu zadajnika stanów logicznych.

4.2. Moduł przerzutników

Moduł przerzutników (rys. 8) zawiera cztery przerzutniki JK Master-Slave z dodatkowymi wejściami asynchronicznego zerowania \overline{CLR} oraz ustawiania \overline{PR} (negacja oznacza aktywność dla wejścia w stanie 0). Wejścia każdego z przerzutników zostały wyprowadzone niezależnie od wejść innych przerzutników. Przerzutniki te pod względem funkcjonalnym odpowiadają przerzutnikom dostępnym w układach scalonych 7476 (wewnętrzna struktura takiego przerzutnika została przedstawiona w aneksie A). Ponadto moduł przerzutników wyposażono w dwie dwuwejściowe bramki NAND. Jeżeli wymagana jest większa liczba bramek, należy wykorzystać dodatkowe moduły z bramkami.



Rys. 8. Panel czółowy modułu przerzutników JK-MS i bramek logicznych NAND.



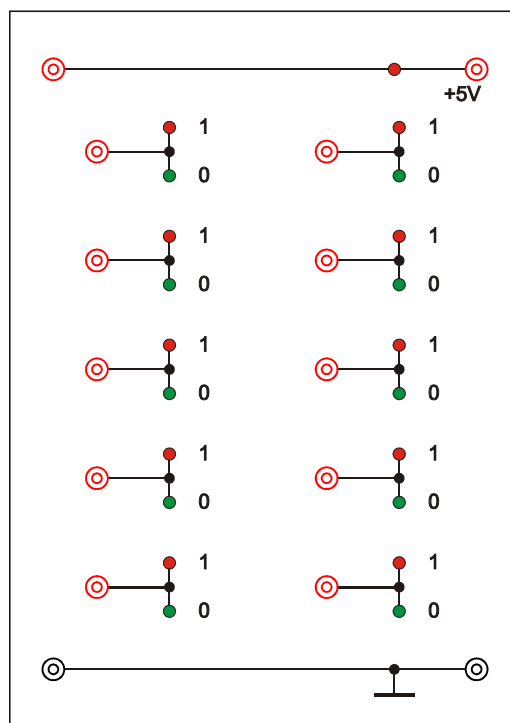
Rys. 9. Panele czółowe modułów bramek logicznych NAND oraz NOR.

4.3. Moduły bramek logicznych

Jeden moduł bramek logicznych (rys. 9) zawiera 6 dwuwejściowych bramek NAND oraz 4 trzywejściowe bramki NAND, zaś potrzebne bramki NOT realizuje się przy użyciu zworek zawierających wejścia bramek NAND. Ponadto na stanowisku doświadczalnym powinien być dostępny jeden moduł zawierający 6 dwuwejściowych bramek NOR oraz 4 trzywejściowe bramki NOR. Wszystkie pozostałe funkcje logiczne należy realizować przez połączenia dostępnych bramek.

4.4. Moduł testera stanów logicznych

Moduł testera stanów logicznych zawiera 10 niezależnych testerów (rys. 10). Każdy tester zaopatrzony jest w jedno wejście pomiarowe oraz diody czerwoną i zieloną, których zapalenie symbolizuje stan logiczny odpowiednio 1 i 0. Jednoczesne świecenie diody czerwonej i zielonej oznacza wzbudzenie oscylacji w badanym układzie. Trwałe oscylacje nie powinny występować w poprawnie połączonym synchronicznym układzie sekwencyjnym, zatem ich obecność wskazuje na błąd w sieci połączeń. W przypadku gdy na wejściu pomiarowym występuje stan wysokiej rezystancji lub doprowadzone napięcie względem masy nie odpowiada żadnemu stanowi logicznemu obie diody są zgaszone. Wystąpienie takiego stanu na wejściu pomiarowym podłączonym do wyjścia przerzutnika, bramki logicznej lub modułu zadawania stanów wskazuje na złamanie przewodu, brak kontaktu, awarię przyrządów lub brak zasilania.



Rys. 10. Panel czołowy modułu testera stanów logicznych.

4.5. Zasilacz

Zasilanie wszystkich modułów doświadczalnych opisanych powyżej zrealizowano przy użyciu jednego zasilacza laboratoryjnego SIGLENT SPD3303D. Spośród trzech kanałów tego zasilacza w tym ćwiczeniu wykorzystywany jest tylko kanał o ustalonym napięciu +5V prądu stałego. Alternatywnie na stanowisku może znajdować się zasilacz dogniazdkowy +5V z przewodem zakończonym wtyczkami bananowymi.

5. Przebieg doświadczenia

Pierwszym krokiem powinno być staranne przygotowanie projektu automatu obejmującego: założenia projektowe, listę stanów pierwotnych, graf przejść, tablicę kodowania stanów, tablice przejść dla stanów pierwotnych, zredukowanych oraz zakodowanych, tablice wzbudzeń przerzutników, tablice wyjść, syntezę funkcji wzbudzeń przerzutników i funkcji wyjść oraz przewidywany schemat układu. **Ze względu na znaczny nakład pracy niezbędnej na tym etapie zalecane jest przygotowanie brudnopisu projektu przed zajęciami laboratoryjnymi.** Dysponując projektem można przystąpić do połączenia zaprojektowanego układu wykorzystując dostępne przerzutniki i bramki logiczne.

Odpowiedź układu bada się testerem stanów logicznych zarówno na liniach stanów wewnętrznych q_1, q_2, \dots, q_k jak i na jego wyjściach y_1, y_2, \dots, y_m . Generując pojedyncze impulsy na wejściu zegarowym CK badania automatu prowadzi się dla wszystkich dozwolonych w projekcie przejść a wyniki zapisuje się w doświadczalnych tablicach przejść i wyjść.

5.1. Kolejność czynności

1. W porozumieniu z prowadzącym zajęcia wybrać zadanie/zadania do realizacji. Przykładowe zadania zebrano w następnym rozdziale. Wykonawcy ćwiczeń mogą zaproponować własne zadania pod warunkiem, że przedstawiony projekt automatu nie będzie oczywistym plagiatem projektu dostępnego w źródłach publicznych lub opracowaniach innych zespołów, które powinny pracować samodzielnie.
2. Przygotować pełny projekt automatu obejmujący listę stanów pierwotnych, graf przejść, tablicę kodowania stanów, tablice przejść dla stanów pierwotnych, zredukowanych oraz zakodowanych, tablice wzbudzeń przerzutników, tablice wyjść, syntezę funkcji wzbudzeń przerzutników i funkcji wyjść oraz przewidywany schemat układu. W projekcie należy przewidzieć m.in. wejście ustawiania początkowego stanu układu przy wykorzystaniu wejść CLR lub PR przerzutników JK. Alternatywnie, jeżeli takie wejście nie jest planowane, to układ powinien gwarantować automatyczne wychodzenie z błędnych stanów. Korekta niepożądanych stanów nadmiarowych może być uwzględniona w tablicy przejść (korekta synchroniczna) lub zrealizowana niezależnie od przejść synchronicznych przy wykorzystaniu wejść CLR lub PR przerzutników (korekta asynchroniczna).
UWAGA: próba zgaszczenia układu połączeń bez projektu zazwyczaj kończy się niepowodzeniem z wyjątkiem szczególnie prostych zadań.
3. Połączyć z wyłączonym zasilaczem wszystkie niezbędne moduły. W tym celu w skrajnym prawym albo lewym module połączyć przewodami linię masy (na dole modułu) i zasilania

+5V (na górze) z wyjściem zasilacza. Zasilanie pozostałych modułów realizuje się poprzez połączenie analogicznych linii w sąsiednich modułach.

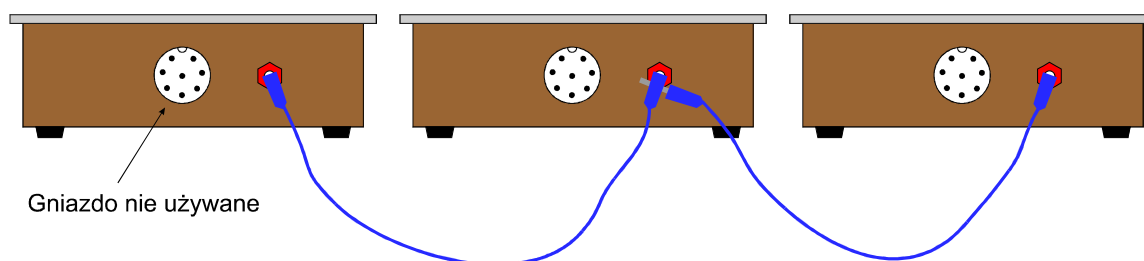
UWAGA:

a) **wszystkie moduły powinny być zasilane z wyjścia zasilacza zapewniającego stałe napięcie +5V (gniazda z prawej strony zasilacza). Nie używać wyjść umożliwiających płynną zmianę napięcia,**

b) **nie wolno łączyć zasilania +5V z wyjściami przerzutników, bramek lub wyjściami zadajnika stanów logicznych.**

Nieprzestrzeganie powyższych zaleceń grozi uszkodzeniem urządzeń.

- Jeżeli moduły z elementami logicznymi wyposażone są w dodatkowe gniazda bananowe umieszczone od dołu na blaszanych obudowach, to zalecane jest ich połączenie zgodnie z rys. 11. Połączenie to umożliwi synchronizację pracy modułów. Połączenia więcej niż dwóch modułów realizuje się przy użyciu przewodów ze specjalnymi wtykami bananowymi, które są jednocześnie gniazdami dla kolejnego przewodu.



Rys. 11. Zalecane połączenie między modułami przy realizacji układów sekwencyjnych.

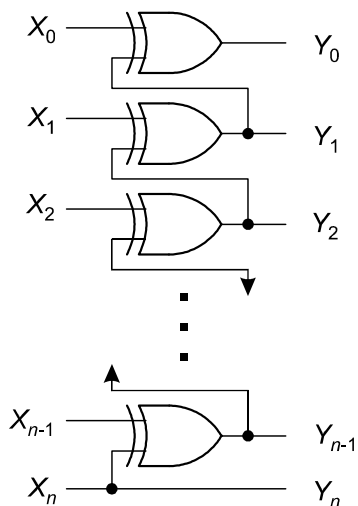
- Po uzyskaniu zezwolenia włączyć zasilacz i sprawdzić czy świecą się czerwone diody umieszczone na linii +5V. Świecenie diody o innym kolorze oznacza awarię wewnętrzną modułu z elementami logicznymi. W module testera stanów logicznych wszystkie diody symbolizujące stan 0 lub 1 powinny być zgaszone przy rozwartych wejściach testerów.
- Połączyć zaprojektowany układ, do wejścia zegarowego doprowadzić sygnał z generatora pojedynczego impulsu w module zadawania stanów. Rozważyć jaki rodzaj impulsu zegarowego zapewni najlepsze rezultaty - jeżeli wejścia zegarowe \overline{CK} przerzutników są podłączone do zadajnika bez pośrednictwa bramek wprowadzających negację, to zalecany jest impuls dodatni $\neg \neg$. W przypadku gdy układ posiada dodatkowe wejście przeznaczone do asynchronicznego ustawiania jego stanu początkowego, zalecane jest przyłączenie tego wejścia do wyjścia kolejnego generatora pojedynczego impulsu. Jeżeli wejścia asynchroniczne przerzutników \overline{CLR} lub \overline{PR} są zwarte bezpośrednio z wejściem ustawiania stanu całego układu, to należy wybrać w generatorze impuls ujemny $\neg \neg$. Do pozostałych wejść badanego układu doprowadzić sygnały z przełączników w module zadajnika stanów. W celu uproszczenia sieci połączeń można założyć, że wszystkie niepodłączone wejścia przerzutników mają domyślny stan wysoki. Do testera stanów logicznych doprowadzić zarówno sygnały wyjściowe automatu y_1, y_2, \dots, y_m jak i wewnętrzne q_1, q_2, \dots, q_k . Zmiany w układzie połączeń logicznych mogą być bezpiecznie wykonywane przy włączonym zasilaniu. Układy elektroniczne są zabezpieczone przed przypadkowymi błędnymi połączeniami obejmującymi kilka wyjść bramek logicznych, przerzutników lub wyjść modułu zadawania stanów logicznych.
- Generując pojedyncze impulsy zegarowe prześledzić kolejno wszystkie przejścia dopuszczone w projekcie układu. Zmiany pozostałych sygnałów wejściowych nie powinny odbywać się jednocześnie z generowaniem impulsów zegarowych, gdyż w przeciwnym przypadku przejścia obciążone hazardem w wejściowym bloku kombinacyjnym układu sekwencyjnego mogą czasami doprowadzić do błędnych i

- niepowtarzalnych rezultatów. Wskazania testera dla wszystkich linii wyjściowych i wewnętrznych automatu nanosić na tablice wyjść oraz przejść dla stanów zredukowanych.
8. Sprawdzić zgodność tablic doświadczalnych wykonanych w punkcie 7 z tablicami przewidzianymi w projekcie. W przypadku stwierdzenia rozbieżności podjąć próbę ich wyjaśnienia i usunięcia przez sprawdzenie luzów w połączeniach realizowanych przy użyciu przewodów i zworek, sprawdzenie poprawności połączeń wykonanych w punkcie 6 oraz ponowne przeanalizowanie projektu. Po dokonaniu poprawek sporządzić ponownie tablice wyjść i przejść automatu. Jeśli próby usunięcia rozbieżności nie powiodą się zawiadomić obsługę pracowni.
 9. Zapisać podsumowanie wyników badań automatu. Jeżeli układ był poprawiany w porównaniu z pierwszą wersją projektu, to brudnopis powinien zawierać aktualizację zmienionych składników projektu.
 10. W obecności opiekuna dydaktycznego wykonać skróconą prezentację działania układu dla niektórych przejść. Przedstawić do zatwierdzenia brudnopis z projektem automatu i wynikami badań.
 11. Jeżeli zespół zdecydował się na wykonanie kolejnego zadania, rozłączyć połączenia pozostawiając jednak obwody zasilania. Wykonać nowe badania wg powyższego planu.
 12. Wyłączyć zasilanie.
 13. Rozłączyć połączenia i uprzątnąć stanowisko.

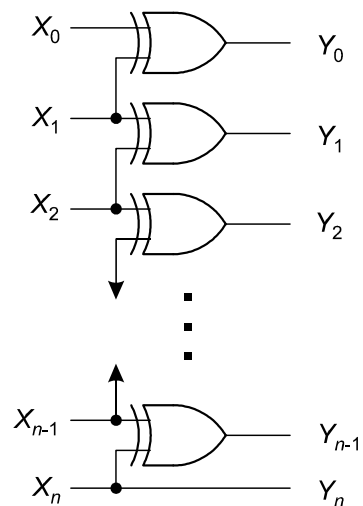
5.2. Propozycje zadań realizowanych przez synchroniczny układ sekwencyjny

Należy zaprojektować, połączyć i przetestować układy realizujące wybrane zadania spośród poniższej listy. Liczba gwiazdek w nawiasach opisuje stopień trudności zadania. Realizacja zadań o zbyt małej łącznej liczbie gwiazdek powoduje ograniczenie oceny za kompletny i poprawny raport (zasady oceniania podano na końcu rozdziału 6).

1. (*) Układ do szeregowej konwersji liczby danej w kodzie Graya (wersja BRGC) na liczbę w NKB (naturalnym kodzie binarnym). W każdym pojedynczym cyklu zegarowym układ otrzymuje na swoim wejściu jeden bit liczby w kodzie Graya i zwraca jeden bit wyniku w NKB. Konwersja rozpoczyna się od bitu najbardziej znaczącego i w kolejnych cyklach zegarowych przetwarzane są bity o stopniowo malejącej ważności. Schemat analogicznego przetwornika dla liczb danych w postaci równoległej przedstawiono na rys. 12.
2. (*) Układ do szeregowej konwersji liczby danej w NKB (naturalnym kodzie binarnym) na kod Graya (wersja BRGC). W każdym pojedynczym cyklu zegarowym układ otrzymuje na swoim wejściu jeden bit liczby w NKB i zwraca jeden bit wyniku w kodzie Graya. Konwersja rozpoczyna się od bitu najbardziej znaczącego i w kolejnych cyklach zegarowych przetwarzane są bity o stopniowo malejącej ważności. Schemat analogicznego przetwornika dla liczb danych w postaci równoległej przedstawiono na rys. 13.



Rys. 12. Schemat układu kombinacyjnego do konwersji liczby w kodzie Graya na NKB (do zadania 1).



Rys. 13. Schemat układu kombinacyjnego do konwersji liczby w kodzie NKB na kod Graya (do zadania 2).

3. (*) Układ logiczny pracujący w module bezpiecznego przełącznika dwustanowego sterowanego przy użyciu dwóch przycisków „Załącz” i „Stop”. W przypadku przycisku „Stop” układ powinien reagować na przyciskanie przełącznika (związane ze stanem 1 na wejściu układu) z priorytetem wyższym niż priorytet przypisany do przycisku „Załącz”. Załączenie napięcia na wyjściu przełącznika następuje wyłącznie po wykryciu przejścia $0 \rightarrow 1$ na linii przycisku „Załącz” podczas gdy przycisk „Stop” nie jest przytrzymywany. Puszczanie przycisku „Stop” podczas przytrzymywania przycisku „Załącz” nie może zatem doprowadzić do przestawienia wyjścia w stan 1.
4. (**) Układ priorytetowego przełącznika trójstanowego o 3-ech wejściach i 3 wyjściach. Podanie stanu 1 na i -te wejście powoduje ustawienie i -tego wyjścia w stan 1 oraz wyzerowanie pozostałych wyjść i stan ten jest utrzymywany po wyzerowaniu wszystkich wejść. W przypadku gdy więcej niż jedno wejście znajduje się w stanie 1, uwzględniana jest jedyńka tylko na wejściu o najwyższym priorytecie.
5. (**) Układ, który steruje trzema zespołami świateł na obwodzie koła w sposób dający złudzenie obracania się koła w wybranym kierunku. Dla wejścia $X = 0$ w takt kolejnych impulsów zegarowych układ powinien generować cyklicznie na swoich trzech wyjściach Y_1 , Y_2 i Y_3 kombinacje stanów 001, 010, 100, natomiast dla $X = 1$ kolejność tych kombinacji powinna być odwrotna, tzn. 100, 010, 001. Kombinacja, od której rozpoczyna się dana sekwencja po przełączeniu wejścia X może być dowolna. Założyć, że układ nie posiada żadnego dodatkowego wejścia do ustawiania stanu początkowego i w ciągu jednego cyklu zegarowego wychodzi samoczynnie z niepożądanych stanów nadmiarowych.
6. (**) Układ, który na wyjściu Y generuje stan 1 na czas nie dłuższy niż okres sygnału zegarowego, wtedy i tylko wtedy, gdy na wejściu szeregowym X w takt kolejnych impulsów zegarowych pojawia się sekwencja $0 \rightarrow 1 \rightarrow 1$.
7. (**) Układ, który na wyjściu Y generuje stan 1 na czas nie dłuższy niż okres sygnału zegarowego, wtedy i tylko wtedy, gdy na wejściu szeregowym X w takt kolejnych impulsów zegarowych pojawia się sekwencja parzystej liczby jedynek o dowolnej długości, przy czym zerową liczbę jedynek (czyli stan 0 na wejściu) należy uznać za wyjątek i nie traktować jak liczby parzystej.

8. (***) Układ, który na wyjściu Y generuje stan 1 na czas nie dłuższy niż okres sygnału zegarowego, wtedy i tylko wtedy, gdy na wejściu szeregowym X w takt kolejnych impulsów zegarowych pojawia się sekwencja $0 \rightarrow 1 \rightarrow D$, gdzie D jest stanem logicznym dodatkowego wejścia układu.
9. (***) Zaprojektować i połączyć układ porównujący dwie liczby binarne dwubitowe BA oraz DC (gdzie A, B, C, D oznaczają poszczególne bity). Układ powinien utrzymywać stan 1 na wyjściu Y dla $DC \geq BA$ oraz stan 0 dla $DC < BA$ przez czas nie dłuższy niż okres sygnału zegarowego. Oba bity liczby DC są wprowadzane z dwóch wejść podczas ostatniego cyklu zegarowego, natomiast BA jest wartością wprowadzoną poprzez te same wejścia w poprzednim cyklu zegarowym. Podczas następnego cyklu zegarowego wartość DC zostanie zinterpretowana jako BA .
10. (***) Zaprojektować i połączyć układ o dwóch wejściach X_A i X_B , który na wyjściach Y_A i Y_B wskazuje stanem 1 gdzie zaszła ostatnia zmiana stanu wejściowego. W przypadku wykrycia przejść na obu wejściach podczas jednego cyklu zegarowego, oba wyjścia należy ustawić w stan 1. Układ powinien rozpoznawać zarówno przejścia $0 \rightarrow 1$ jak i przejścia $1 \rightarrow 0$. Stan wyjść powinien być utrzymywany bez zmian podczas kolejnych cykli zegarowych, w których nie następują żadne zmiany na wejściach. Kombinacja stanów wyjściowych $Y_A = 0$ i $Y_B = 0$ jest zabroniona.
11. (***) Zaprojektować i połączyć układ, który zapamiętuje najwyższą temperaturę wykrytą przez termometr kontaktowy wyposażony w trzy kontakty A, B i C , które podczas wzrostu temperatury przechodzą ze stanu 0 na 1 w wymienionej kolejności, tzn. możliwe kombinacje sygnałów wyliczone w kolejności od najniższej do najwyższej temperatury to: $ABC = 000, 100, 110$ oraz 111 . Układ powinien mieć trzy wyjścia, na których obowiązuje taka sama konwencja kodowania maksymalnej temperatury jak dla bieżącej temperatury na wejściach. Podanie stanu 1 na dodatkowe wejście S (Start) powoduje zapamiętanie bieżącego stanu wejść jako najwyższej temperatury. Dla uproszczenia układu można zignorować wszystkie przypadki awarii termometru. Rozważyć, czy likwidacja wyjściowego bloku kombinacyjnego i związane z tym zwiększenie liczby przerzutników do 3 umożliwia uproszczenie układu w porównaniu do projektu zakładającego dwa przerzutniki i nietrywialny wyjściowy blok kombinacyjny.
12. (***) Układ, który na wyjściu Y generuje stan 1 na czas nie dłuższy niż okres sygnału zegarowego, wtedy i tylko wtedy, gdy na wejściu szeregowym X po sekwencji jedynek o dowolnej długości odczytywanych w takt kolejnych impulsów zegarowych pojawi się sekwencja zer o dowolnej długości i liczby jedynek oraz zer mają taką samą parzystość (parzysta liczba zer po parzystej liczbie jedynek lub nieparzysta liczba zer po nieparzystej liczbie jedynek). Jeżeli przewidywane jest wstępne asynchroniczne zerowanie układu, to dla zmniejszenia liczby stanów wewnętrznych można przyjąć dodatkowe założenia, np. że zero jest liczbą parzystą, czyli stan początkowy po asynchronicznym wyzerowaniu można uznać za stan wykrycia opisanej sekwencji.
13. (***) Zaprojektować i połączyć układ sekwencyjnego sumatora dwóch liczb danych w kodzie NKB o dowolnie dużej liczbie bitów. Układ posiada dwa szeregowo wejścia danych A_i i B_i na które podawane są w kolejnych taktach zegarowych kolejne bity liczb rozpoczynając od bitów najmniej znaczących. Układ posiada dwa wyjścia, w tym jedno szeregowo wyjście wyniku sumowania S_i oraz wyjście przepełnienia arytmetycznego C_i . Do ustawienia wstępnego stanu układu przed rozpoczęciem sumowania (zerowa wartość przeniesienia arytmetycznego z pozycji mniej znaczącej) można wykorzystać asynchroniczne zerowanie przerzutników.

14. (****) Zaprojektować automat sterujący przejazdem kolejowym, przyjmując następujące założenia:
- przejazd dotyczy linii jednotorowej,
 - układ odbiera sygnały z dwóch czujników pociągu rozmieszczonych po jednym z każdej strony przejazdu; stan 1 oznacza obecność pociągu nad czujnikiem,
 - opuszczanie roгатki powinno odbywać się z wyprzedzeniem, tzn. po wykryciu początku pociągu,
 - podniesienie roгатki powinno odbywać się z opóźnieniem, tzn. po stwierdzeniu przejechania całego pociągu nad drugim czujnikiem (licząc w kierunku ruchu),
 - wykluczony jest jednoczesny przejazd pociągu przez oba punkty kontroli oraz przejazd więcej niż jednego pociągu,
 - pociąg może jechać tylko w jednym kierunku, tzn. wykluczamy możliwość cofnięcia się po dotarciu do czujnika,
 - stan 1 na wyjściu układu odpowiada opuszczonej roгатce, stan 0 - podniesionej.

6. Wskazówki do raportu

Raport powinien zawierać:

1. Stronę tytułową (wg wzoru).
2. Sformułowanie celu ćwiczenia.
3. Wykaz użytej aparatury. Dla modułów z elementami logicznymi podać także specyfikację dostępnego zestawu bramek logicznych i przerzutników (typy bramek i ich liczba wejść, typ przerzutników, liczba dostępnych elementów poszczególnych typów).
4. Treść zadania, które powinien realizować zbudowany automat.
5. Kompletny projekt synchronicznego układu sekwencyjnego wykonującego postawione zadanie. W projekcie podać także założenia dotyczące ustawiania stanu początkowego automatu i korekty błędnych stanów (typowo: korekta synchroniczna, asynchroniczna, ustawienie stanu początkowego i następnie brak korekty).
UWAGA: Metoda projektowania układu nie jest narzucona, jednakże w każdym przypadku należy przedstawić kolejne etapy projektowania. Raporty, w których nie wykazano zrozumienia jakiegokolwiek metody projektowania będą zwracane do uzupełnienia niezależnie od wyników badania zrealizowanego układu.
6. Schemat połączeń automatu złożonego z przerzutników JK-MS oraz bramek logicznych NAND i NOR.
7. Doświadczalne tablice przejść i wyjść zbadanego układu.
8. Dyskusję uzyskanych wyników i wnioski. Przedstawić rezultat sprawdzenia zgodności zbudowanego automatu z tablicami przejść i wyjść przewidzianymi w projekcie. W przypadku wystąpienia rozbieżności opisać środki podjęte w celu ich usunięcia, znalezione błędy i uzyskany ostatecznie rezultat. Czy z perspektywy czasu zauważono możliwość dalszej minimalizacji układu? Czy treść zadania wymagała przyjęcia dodatkowych założeń projektowych i pierwotna postać założeń została utrzymana podczas ponownej realizacji układu? Jeżeli zrealizowany automat miał strukturę Mealy'ego, to należy rozważyć czy możliwość asynchronicznych zmian na wyjściu układu natychmiast po wystąpieniu przejść na jego wejściach nie powoduje wątpliwości dotyczących zgodności zachowania układu z treścią zadania. Dodatkowe wnioski dotyczące organizacji zajęć, przyrządów i instrukcji do ćwiczenia mogą być pomocne w usprawnieniu ćwiczenia wykonywanego przez studentów w kolejnym roku akademickim.

W raporcie ocenie podlegać będzie obecność i poprawność wszystkich wymienionych powyżej składników, czytelność prezentacji wyników w postaci list, tabel, grafów, wzorów i schematów wraz z opisami oraz jakość sformułowanych wniosków. Wstęp teoretyczny nie jest wymagany i w przypadku jego zamieszczenia w raporcie nie wpłynie na ocenę.

Ponadto ocena za poprawny i kompletny raport zależy od łącznej liczby gwiazdek opisujących trudność zadań, których wykonanie udokumentowano w zatwierdzonym brudnopisie. Jeżeli prowadzący zajęcia nie poda inaczej obowiązuje następująca tabela:

Suma gwiazdek za wykonane zadania	Maksymalna ocena z raportu w skali 0...5 pkt.
0	nie zaliczone
1	3 pkt.
2	4 pkt.
≥ 3	5 pkt.

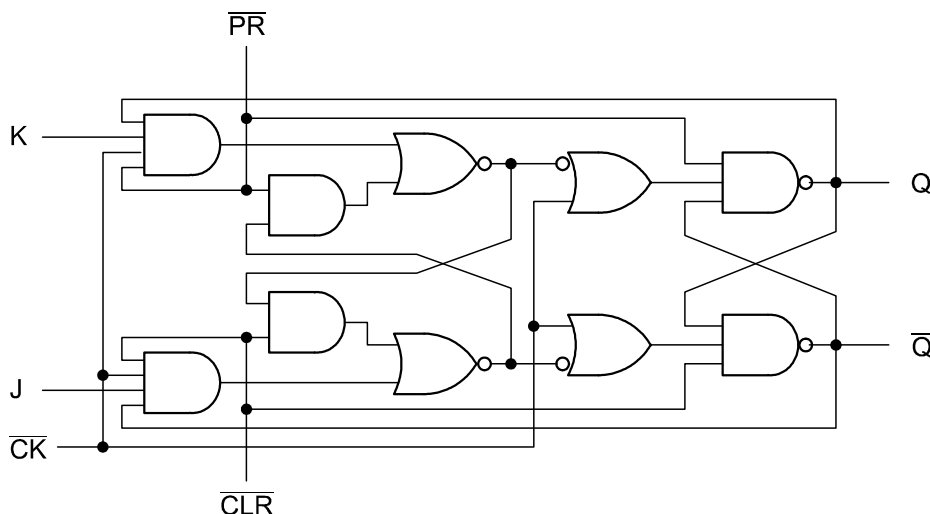
7. Literatura

- [1] H. Kamionka-Mikuła, H. Małysiak, B. Pochopień, *Synteza i analiza układów cyfrowych*, Wydawnictwo Pracowni Komputerowej Jacka Skamierskiego, Gliwice 2006.
- [2] C. Zieliński, *Podstawy projektowania układów cyfrowych*, PWN, Warszawa 2003.
- [3] W. Traczyk, *Układy cyfrowe. Podstawy teoretyczne i metody syntezy*, WNT, Warszawa 1986.
- [4] P. Misiurewicz, *Układy automatyki cyfrowej*, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 1984.
- [5] A. Skorupski, *Podstawy Techniki Cyfrowej*, WKiŁ, Warszawa 2004.
- [6] J. Kalisz, *Podstawy elektroniki cyfrowej*, WKiŁ, Warszawa 2002.
- [7] A. Barczak, J. Florek, T. Sydoruk, *Elektroniczne Techniki Cyfrowe*, VIZJA PRESS&IT Sp. z o.o., Warszawa 2006.

Aneksy

A. Układ przerzutników JK-MS 7476

Przerzutniki dostępne na stanowisku doświadczalnym są funkcjonalnym odpowiednikiem przerzutników z układu scalonego 7476, który zawiera dwa niezależnie pracujące przerzutniki typu JK Master-Slave z dodatkowymi asynchronicznymi wejściami zerowania \overline{CLR} (*clear*) i ustawiania \overline{PR} (*preset*).



Rys. A1. Schemat logiczny jednego przerzutnika JK Master-Slave z układu scalonego 7476. Układ scalony zawiera dwa takie przerzutniki o niezależnie wyprowadzonych wszystkich wejściach i wyjściach.

\overline{CLR}	\overline{PR}	J	K	\overline{CK}	Q	\overline{Q}
0	0	–	–	–	1*	1*
0	1	–	–	–	0	1
1	0	–	–	–	1	0
1	1	0	0		Q_0	\overline{Q}_0
1	1	1	0		1	0
1	1	0	1		0	1
1	1	1	1		\overline{Q}_0	Q_0

Tabela A1. Tablica przejść przerzutnika typu JK Master-Slave z układu scalonego 7476. Oznaczenia:

1* - stany niestabilne; w przypadku przejścia $\overline{CLR} = \overline{PR} = 0 \rightarrow 1$ stan wyjść jest nieznanym,

Q_0 - stan wyjścia Q przed opadającym zboczem na wejściu \overline{CK} ,

\overline{Q}_0 - stan wyjścia \overline{Q} przed opadającym zboczem na wejściu \overline{CK} .