



Politechnika Łódzka

Instytut Fizyki

Laboratorium elektroniki

Ćwiczenie E56

Liczniki

Spis treści:

1. Cel ćwiczenia.....	3
2. Zagrożenia	3
3. Wprowadzenie teoretyczne.....	3
3.1. Liczniki szeregowo (asynchroniczne)	4
3.2. Zmiana pojemności licznika szeregowego.....	7
3.3. Liczniki równoległe (synchroniczne).....	9
4. Dostępna aparatura	15
4.1. Moduł zadajnika stanów logicznych	15
4.2. Moduł przerzutników	15
4.3. Moduły bramek logicznych.....	17
4.4. Moduł testera stanów logicznych	17
4.5. Zasilacz.....	18
5. Przebieg doświadczenia.....	18
5.1. Kolejność czynności	18
5.2. Propozycje zadań realizowanych przez układy liczników	20
6. Wskazówki do raportu.....	21
7. Literatura	22
Aneksy.....	23
A. Układ przerzutników JK-MS 7476.....	23
B. Synchroniczny licznik rewersyjny 74193 z asynchronicznym wpisywaniem i zerowaniem	23
C. Synchroniczny licznik jednokierunkowy 74163 z synchronicznym wpisywaniem i zerowaniem.....	25

Przed zapoznaniem się z instrukcją i przystąpieniem do wykonywania ćwiczenia należy opanować następujący materiał teoretyczny:

1. Podstawowe typy przerzutników i tablice ich przejść. [1-8]
2. Realizacja pozostałych typów przerzutników przy użyciu przerzutników JK-MS. [3,4,6,7]
3. Łączenie przerzutników w wielobitowe liczniki binarne. [1-8]
4. Projektowanie liczników synchronicznych jako synchronicznych układów sekwencyjnych. [1-3]

1. Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się z wykorzystaniem przerzutników do realizacji różnorodnych układów liczników obejmujących m.in. liczniki modulo liczące do przodu i do tyłu, liczniki szeregowo i synchroniczne oraz liczniki specjalne. Do realizacji liczników wykorzystano przerzutniki wyłącznie typu JK-MS z dodatkowymi wejściami asynchronicznymi, co daje możliwość zapoznania się ze sposobami ich przekształcenia w inne standardowe przerzutniki.

2. Zagrożenia

Rodzaj	Brak	Małe	Średnie	Duże
zagrożenie elektryczne		+		
zagrożenie optyczne	+			
zagrożenie mechaniczne (w tym akustyczne, hałas)	+			
zagrożenie polem elektro-magnetycznym (poza widmem optycznym)	+			
zagrożenie biologiczne	+			
zagrożenie radioaktywne (jonizujące)	+			
zagrożenie chemiczne	+			
zagrożenie termiczne (w tym wybuch i pożar)	+			

Przewody z wtykami bananowymi są przeznaczone wyłącznie do użytku w obwodach niskiego napięcia – nie wolno podłączać ich do gniazda sieci zasilającej 230 V.

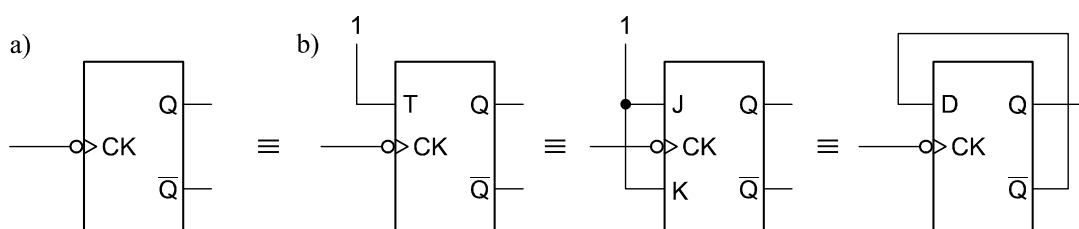
3. Wprowadzenie teoretyczne

Licznikiem nazywamy sekwencyjny blok funkcjonalny, którego stan wewnętrzny (zazwyczaj tożsamy ze stanem wyjść) reprezentuje liczbę całkowitą. Zasadniczymi operacjami wykonywanymi w liczniku są operacje zwiększenia (inkrementacji) lub zmniejszenia (dekrementacji) tej liczby o 1. W praktyce najczęściej stosowane są liczniki pracujące w naturalnym kodzie binarnym (NKB) oraz w kodzie dwójkowo-dziesiętnym (BCD).

W niektórych układach liczników mogą być dostępne dodatkowe operacje związane z ustawianiem w jednym kroku stanów wszystkich wyjść licznika, takie jak zerowanie, ustawianie w stan 1 oraz przepisywanie stanu z wejść równoległych. W zależności od przeznaczenia licznika te dodatkowe operacje mogą być realizowane synchronicznie ze zmianami stanu wejścia taktującego albo w sposób asynchroniczny i nadrzędny nad operacją zliczania impulsów.

3.1. Liczniki szeregowo (asynchroniczne)

Podstawową komórką licznika szeregowego jest tzw. *dwójka licząca*, w której stan wyjścia Q ulega zmianie na przeciwny przy zmianie impulsu zegarowego CK z 1 na 0 (dla wejścia zanegowanego jak na rys. 1). Dwójkę liczącą można otrzymać ze standardowych przerzutników synchronicznych typu T, JK oraz D.

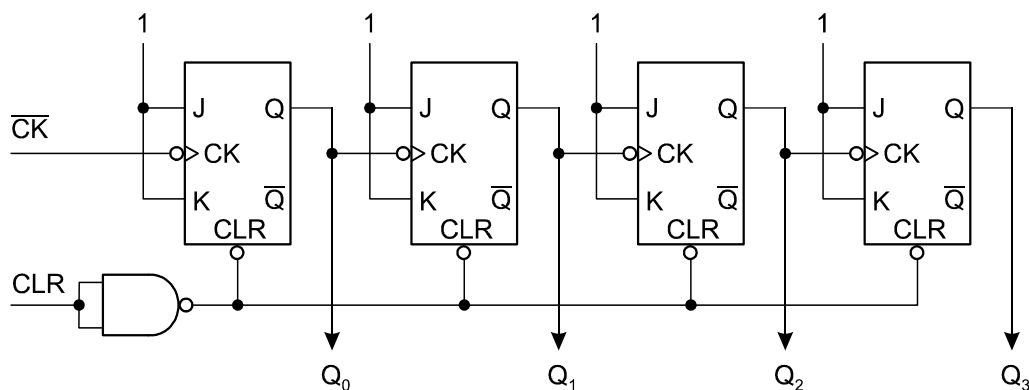


Rys. 1. Dwójka licząca: (a) symbol logiczny, (b) realizacja dwójki liczącej przy użyciu przerzutników typu T, JK oraz D.

Najprostszy licznik dwójkowy można zbudować łącząc łańcuch dwójek liczących, w taki sposób, że wyjście Q jest połączone z wejściem zegarowym \overline{CK} (ang. *clock*) następnego stopnia. Przykładowy schemat 4-bitowego licznika przedstawiono na rys. 2. Słowo wyjściowe $\mathbf{Q} = (Q_3, Q_2, Q_1, Q_0)$ reprezentuje w naturalnym kodzie binarnym liczbę całkowitą, przyjmującą wartości od 0 do 15_{10} . Po każdym zboczu opadającym na wejściu licznika \overline{CK} wartość zmiennej \mathbf{Q} zostaje zwiększona o 1. W przypadku wystąpienia przepełnienia arytmetycznego podczas dodawania $15 + 1$ nowa wartość wyniesie zero. Taki sposób działania można nazwać „dodawaniem 1 modulo 16”

$$\mathbf{Q}^{t+1} := (\mathbf{Q}^t + 1)_{\text{mod } 16} . \quad (1)$$

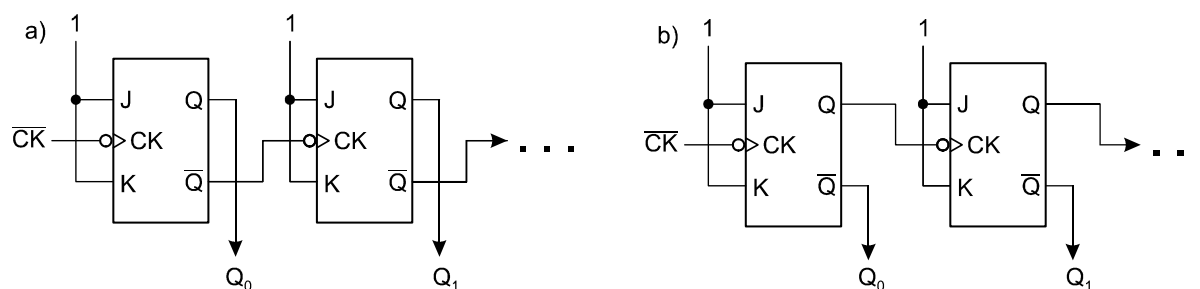
Zauważmy, że stan początkowy każdej dwójki liczącej po włączeniu zasilania jest w ogólnym przypadku nieznanym. Stan początkowy licznika $\mathbf{Q} = 0$ można wymusić przez podanie 1 na wejście zerujące CLR (ang. *clear*). Wejście to jest asynchroniczne, co oznacza, że zerowanie licznika trwa przez cały czas utrzymywania stanu $CLR = 1$ bez względu na stan i zmiany na wejściu \overline{CK} .



Rys. 2. Schemat szeregowego licznika dwójkowego (przybliżony odpowiednik układu scalonego 7493).

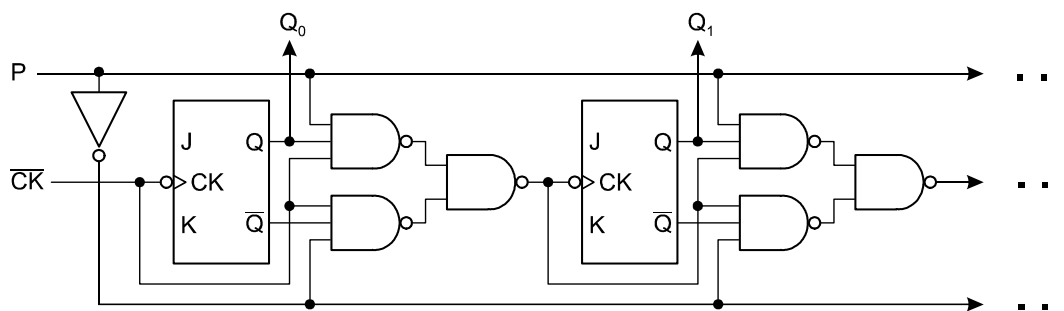
W licznikach szeregowych (asynchronicznych) zliczane impulsy są podawane tylko na wejście taktujące przerzutnika odpowiadającego za najmniej znaczący bit Q_0 . Dalsze przerzutniki są sterowane pośrednio, przy czym stan najbardziej znaczącego bitu może ulec zmianie dopiero, gdy wszystkie pośrednie przerzutniki zmienią swój stan. Rozwiązanie takie umożliwia maksymalne uproszczenie układu, jednakże prowadzi do stosunkowo długich czasów trwania błędnych stanów pośrednich. Z tego powodu liczniki szeregowe mają zastosowanie głównie jako dzielniki częstotliwości.

Połączenie wejść zegarowych \overline{CK} poszczególnych dwójek liczących z wyjściami zanegowanymi \overline{Q} poprzedzających dwójek powoduje odwrócenie kierunku zliczania, tzn. układ taki w każdym kroku odejmuje 1. W przypadku wystąpienia pożyczki arytmetycznej podczas działania 0 – 1, wyjścia licznika przyjmą wartość 15. Zauważmy, że identyczny rezultat można otrzymać przez zanegowanie wszystkich bitów liczby $Q_3Q_2Q_1Q_0$ otrzymywanej na wyjściu licznika zliczającego do przodu i przedstawionego na rys. 2. Schematy obydwu układów liczników zliczających do tyłu przedstawiono na rys. 3.



Rys. 3. Dwa warianty szeregowego licznika dwójkowego zliczającego do tyłu.

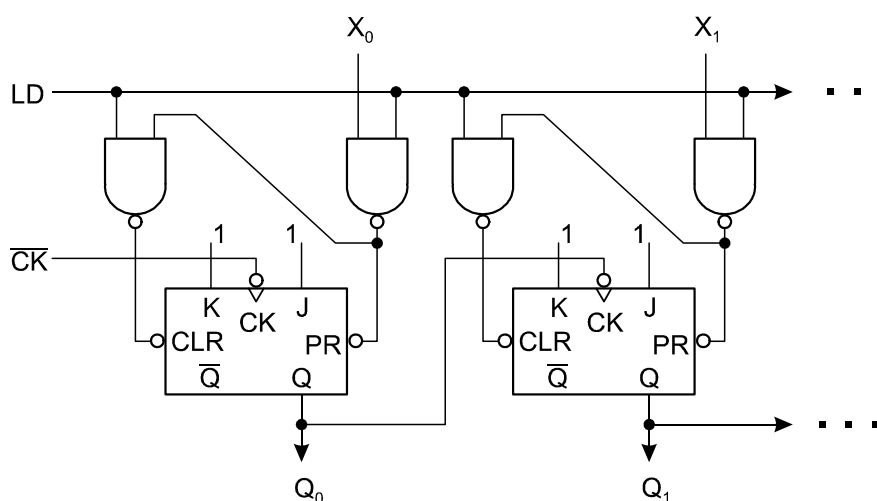
W literaturze nazwa „licznik rewersyjny” jest zwykle zarezerwowana dla liczników, które mogą zliczać w dwóch kierunkach. Liczniki rewersyjne o strukturze szeregowej buduje się typowo z jednym wejściem zegarowym i dodatkowym wejściem wybierającym kierunek zliczania. W przykładowym układzie na rys. 4 zmiana stanu wejścia kierunku zliczania P bez zmiany stanu licznika możliwa jest tylko w okresach gdy $\overline{CK} = 0$. Liczniki o dwóch wejściach taktujących, z których jedno jest związane ze zliczaniem impulsów do przodu a drugie ze zliczaniem do tyłu, realizuje się w strukturze równoległej.



Rys. 4. Podstawowy układ szeregowego licznika rewersyjnego z jednym wejściem zegarowym \overline{CK} i wejściem P wybierającym kierunek zliczania (do przodu dla $P = 1$).

W wielu układach liczników istnieje możliwość ustawienia dowolnego stanu początkowego określonego na wejściach równoległych. Ustawianie stanu licznika o strukturze szeregowej typowo odbywa się w sposób asynchroniczny, tzn. przepisanie stanu z wejść równoległych następuje natychmiast po podaniu odpowiedniego stanu na wejście sterujące. Wpisywanie asynchroniczne realizuje się za pośrednictwem wejść bezpośrednich przerzutników, np. w układzie o budowie przedstawionej na rys. 5. Układu ten odpowiada w przybliżeniu układowi scalonemu 74197, w którym pominięto dodatkowe wejście zerowania wszystkich przerzutników.

Liczniki o dowolnej strukturze można budować przy wykorzystaniu przerzutników D lub JK-MS, które dostępne są w postaci układów scalonych zawierających przerzutniki pracujące całkowicie niezależnie lub przerzutniki ze wspólnymi wejściami zerowania CLR albo zegarowymi CK . W aneksie A przedstawiono układ scalony 7476 zawierający dwa niezależne przerzutniki JK-MS w najpełniejszej wersji, tzn. z dodatkowymi wejściami zerowania i ustawiania CLR (ang. *clear*) i PR (ang. *preset*) oraz komplementarnymi wyjściami Q i \overline{Q} . Przerzutniki dostępne w pracowni w postaci modułów doświadczalnych są funkcjonalnymi odpowiednikami tego układu.

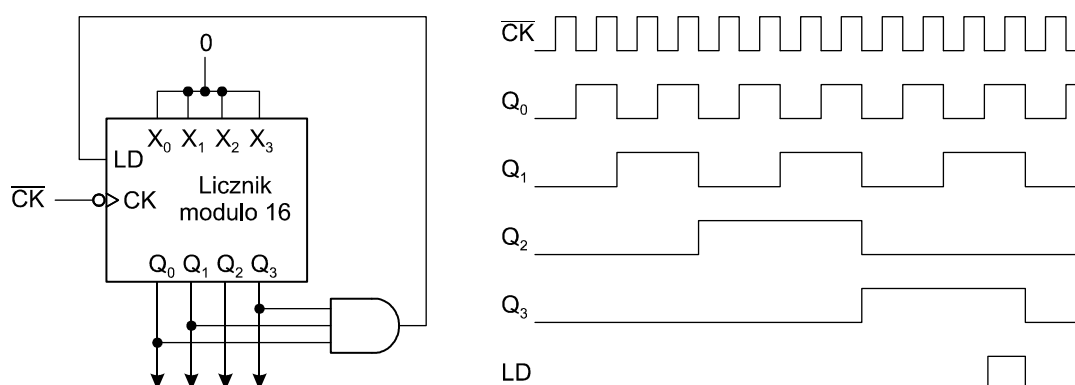


Rys. 5. Szeregowy licznik liczący do przodu z możliwością asynchronicznego ustawienia stanu początkowego. Ustawienie poziomu 1 na wejściu LD (ang. *load*) powoduje przepisanie stanu $Q := X$. W przypadku gdy $LD = 0$, układ po każdym zboczu opadającym $0 \rightarrow 1$ na wejściu CK wykonuje operację $Q := Q + 1$.

3.2. Zmiana pojemności licznika szeregowego

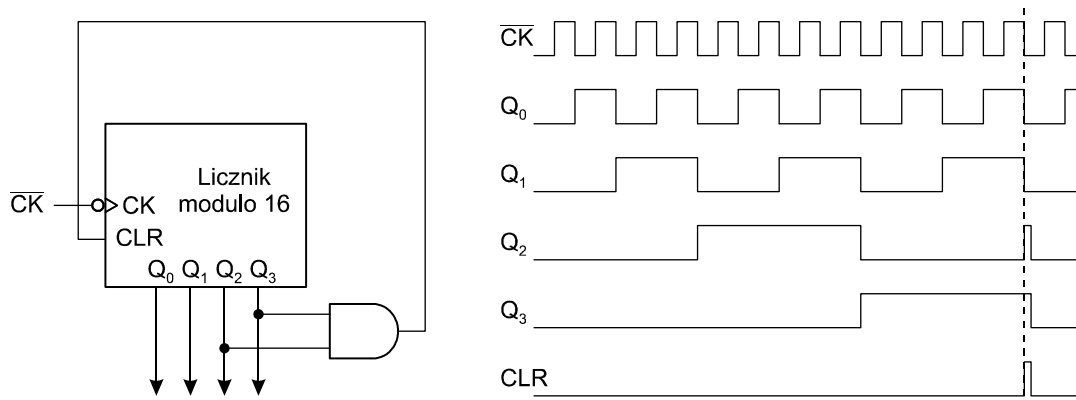
W wielu układach konieczne jest stosowanie liczników o pojemności innej niż posiada gotowy blok funkcjonalny. W celu obniżenia pojemności licznika szeregowego do zadanej wartości należy zdekodować stan końcowy cyklu zliczania i doprowadzić do wyzerowania lub równoległego zapisania początkowego stanu licznika.

Układy liczników z asynchronicznym oraz synchronicznym ustawianiem/zerowaniem wymagają nieco innego podejścia. Rozważmy licznik modulo 12 liczący do przodu i pracujący w naturalnym kodzie dwójkowym. Jeżeli zerowanie licznika odbywa się w sposób synchroniczny, to należy zdekodować stan $Q = 11_{10} = 1011_2$ i po jego stwierdzeniu ustawić odpowiednio wejście zerowania (rys. 6). Zdekodowany stan końcowy zostanie utrzymany w bieżącym cyklu sygnału zegarowego i zerowanie odbędzie się dopiero w następnym cyklu zegarowym.



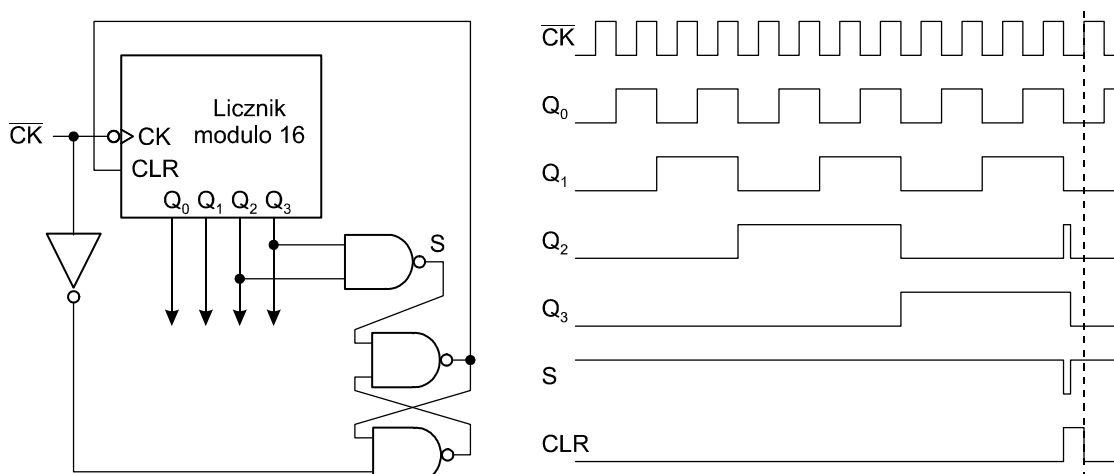
Rys. 6. Sprzężenie zwrotne w liczniku modulo 12 z zerowaniem synchronicznym. Jako wejście zerowania wykorzystano wejście ustawiania LD (ang. load) przy wyzerowanych wejściach równoległych $X_0X_1X_2X_3$. Ustawienie innej wartości na tych wejściach umożliwia realizację licznika rozpoczynającego cykl od wartości większej od zera. Zapis licznika z wejść równoległych następuje przy $LD = 1$ po najbliższym opadającym zboczach zegarowym.

W przypadku, gdy licznik zerowany jest w sposób asynchroniczny, należy zdekodować stan $Q = 12_{10} = 1100_2$. Rozpoznanie tego stanu i podanie 1 na wejście zerowania CLR spowoduje wyzerowanie przerzutników bez względu na sytuację na wejściu zegarowym \overline{CK} (rys. 7). Występowanie przejściowego stanu $Q = 12_{10}$ może uniemożliwić zastosowanie takiego układu jako źródła danych dla kolejnego szybkiego układu sekwencyjnego. Impuls stanu przejściowego nie dotyczy jednak wyjścia Q_3 , zatem układ można bezpiecznie stosować jako dzielnik częstotliwości przez 12.



Rys. 7. Sprzężenie zwrotne w liczniku modulo 12 z zerowaniem asynchronicznym. Zerowanie licznika następuje bezpośrednio po ustawieniu $CLR = 1$.

Impuls zerujący w układzie przedstawionym na rys. 7 trwa bardzo krótko i wcześniejsza zmiana stanu 1 na 0 na jednym tylko wyjściu spośród wyjść dekodowanych Q_2 albo Q_3 powoduje zanik impulsu zerującego. W celu zagwarantowania wyzerowania wszystkich przerzutników należy stosować dodatkowy przerzutnik RS, który przedłuża impuls zerowania do połowy okresu przebiegu zegarowego (rys. 8).



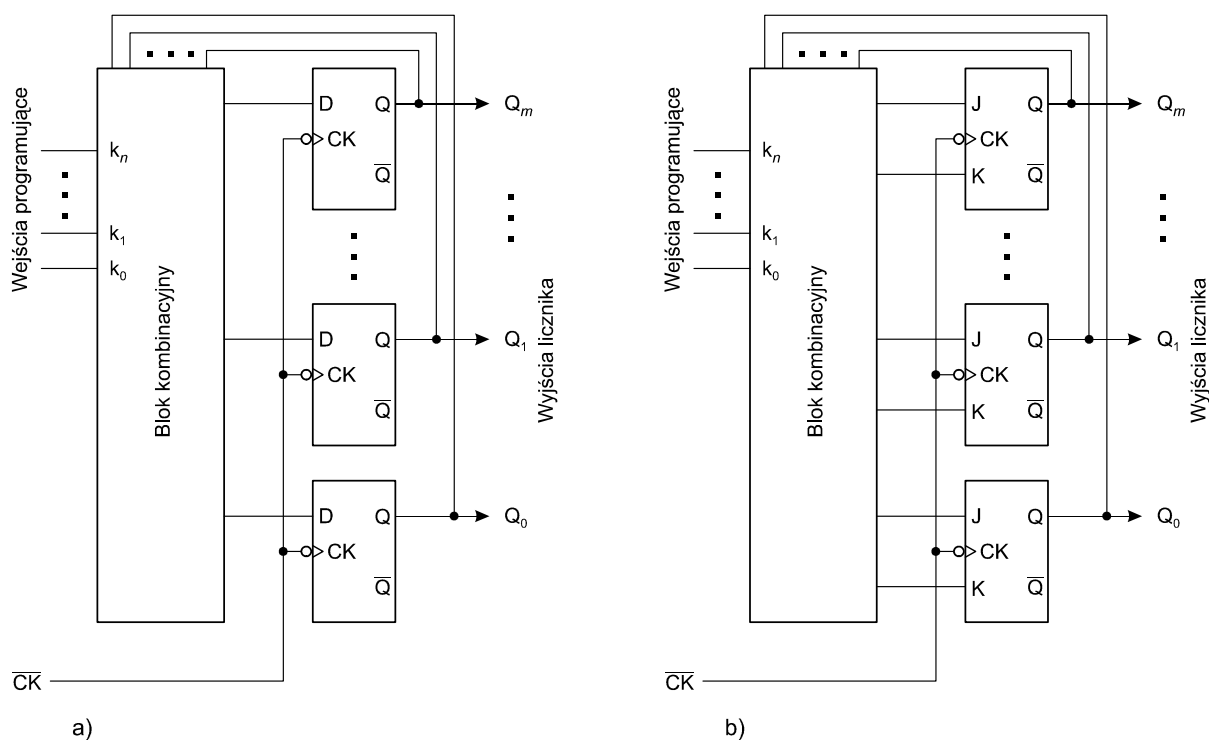
Rys. 8. Sprzężenie zwrotne z układem wydłużającym impuls zerujący w liczniku modulo 12 z zerowaniem asynchronicznym.

Należy podkreślić, że do wejść układu dekodującego stan końcowy dołączone są tylko te wyjścia licznika, na których należy wykryć jedynkę. Rozwiązanie takie zapobiega hazardowi w dekodującym układzie kombinacyjnym podczas przejść licznika.

W przypadku liczników zliczających do tyłu stan początkowy po zakończeniu pełnego cyklu zliczania można zadać poprzez wejścia zapisywania równoległego $X_0X_1X_2X_3$. Jeżeli wejście LD sterujące zapisywaniem działa synchronicznie, to należy zdekodować stan końcowy $Q = 0000_2$ przy użyciu bramki NOR. W licznikach z asynchronicznym zapisywaniem można zdekodować np. przy użyciu bramki AND (NAND) dodatkowy stan przejściowy $Q = 1111_2$, który pojawia się w wyniku pożyczki arytmetycznej po stanie 0000_2 .

3.3. Liczniki równoległe (synchroniczne)

W licznikach równoległych zliczane impulsy są podawane równoległe na wejścia zegarowe \overline{CK} wszystkich przerzutników. Dzięki takiemu rozwiązaniu zmiany na wszystkich wyjściach licznika zachodzą synchronicznie. Układy liczników równoległych są jednak zazwyczaj bardziej złożone od analogicznych układów zrealizowanych w strukturze szeregowej. Typowy licznik równoległy ma strukturę synchronicznego układu sekwencyjnego. W strukturze tej zazwyczaj nie występuje wyjściowy blok kombinacyjny i wyjścia przerzutników są jednocześnie wyjściami licznika. Zadaniem wejściowego bloku kombinacyjnego jest odpowiednie ustawienie wejść przygotowujących przerzutników w zależności od bieżącego stanu wyjść licznika Q_0, Q_1, \dots, Q_m . Ponadto wejściowy blok kombinacyjny może posiadać dodatkowe wejścia programujące, których stan umożliwia wybór struktury grafu przejść licznika. Liczniki równoległe można budować przy użyciu różnych przerzutników wyposażonych w wejście zegarowe i wejście/wejścia przygotowujące. Na rys. 9 przedstawiono typową strukturę liczników zrealizowanych przy wykorzystaniu przerzutników typu D oraz JK-MS. Zastosowanie przerzutników, które posiadają dwa wejścia przygotowujące J i K , często umożliwia uproszczenie budowy bloku kombinacyjnego w porównaniu do analogicznych układów z przerzutnikami typu D lub T.



Rys. 9. Struktura typowego licznika równoległego zrealizowanego przy wykorzystaniu przerzutników: (a) typu D, (b) typu JK-MS.

Jedną z najprostszych metod syntezy liczników równoległych bez wyjściowego bloku kombinacyjnego jest **metoda tablic kolejnych stanów**. Synteza licznika sprowadza się do syntezy wejściowego bloku kombinacyjnego. Projekt układu rozpoczyna się od zapisania tablicy prawdy, która podaje wartości funkcji wejść przygotowujących przerzutników w zależności od kombinacji sygnałów wyjściowych Q_0, Q_1, \dots, Q_m oraz wejść programujących k_0, k_1, \dots, k_n . Tablica powinna być zapisana w kolejności odpowiadającej kolejnym stanom

licznika dla poszczególnych kombinacji stanów wejść programujących i wówczas nazywamy ją **tablicą kolejnych stanów**. Wartości wejść przygotowujących przerzutników w tak ułożonej tablicy można łatwo określić na podstawie porównania bieżącego stanu licznika ze stanem następnym. W kolejnym kroku dokonuje się syntezy i minimalizacji funkcji logicznych odpowiadających ułożonej tablicy, np. metodą Karnaugh (wprowadzoną wcześniej w ćwiczeniach E51 i E52).

Przeanalizujemy kolejne etapy projektu na przykładzie 3-bitowego licznika równoległego modulo N z jednym wejściem programującym k , gdzie $N = 6$ dla $k = 0$ oraz $N = 7$ dla $k = 1$. Rozważymy licznik, który pracuje w naturalnym kodzie dwójkowym i zlicza tylko do przodu wartości $Q = 0, 1, 2, \dots, (N - 1)$. Dodatkowo założymy, że w przypadku wejścia w błędny stan, licznik zostanie wyzerowany. Przyjmijmy, że korekta błędnych stanów będzie odbywać się w sposób synchroniczny, tzn. zerowanie nastąpi po najbliższym impulsie zegarowym. Tabelę kolejnych stanów dla opisanego licznika przedstawiono w Tabeli 1. Alternatywnie korektę błędnych stanów można zrealizować w sposób asynchroniczny, tzn. po zdekodowaniu błędnego stanu układ zostałby zresetowany przy użyciu wejść bezpośrednich CLR w przerzutnikach JK-MS.

k	Q_2	Q_1	Q_0	J_2K_2	J_1K_1	J_0K_0
0	0	0	0	0-	0-	1-
0	0	0	1	0-	1-	-1
0	0	1	0	0-	-0	1-
0	0	1	1	1-	-1	-1
0	1	0	0	-0	0-	1-
0	1	0	1	-1	0-	-1
0	1	1	0	-1	-1	0-
0	1	1	1	-1	-1	-1

k	Q_2	Q_1	Q_0	J_2K_2	J_1K_1	J_0K_0
1	0	0	0	0-	0-	1-
1	0	0	1	0-	1-	-1
1	0	1	0	0-	-0	1-
1	0	1	1	1-	-1	-1
1	1	0	0	-0	0-	1-
1	1	0	1	-0	1-	-1
1	1	1	0	-1	-1	0-
1	1	1	1	-1	-1	-1

Tabela 1. Tablica kolejnych stanów dla licznika modulo 6 przy $k = 0$ oraz modulo 7 przy $k = 1$. Kreską (-) oznaczono stany dowolne. Linią przerywaną oddzielono błędne stany licznika, które zgodnie z uczynionym wcześniej założeniem powinny zawsze prowadzić do wyzerowania licznika.

Zauważmy, że wybór wartości wejść J i K nie jest całkiem jednoznaczny. Przykładowo, jeżeli bieżący stan $Q_i = 0$ powinien być zachowany w następnym kroku, to możemy wybrać pomiędzy $J_iK_i = 00$ oraz $J_iK_i = 01$, co łącznie zapisujemy w tabeli jako „0 -” (pełna tablica przejść przerzutnika JK Master-Slave została podana w aneksie A).

$k Q_2$	$Q_1 Q_0$			
	00	01	11	10
00	0	0	1	0
01	-	-	-	-
11	-	-	-	-
10	0	0	1	0

$k Q_2$	$Q_1 Q_0$			
	00	01	11	10
00	0	1	-	-
01	0	0	-	-
11	0	1	-	-
10	0	1	-	-

$k Q_2$	$Q_1 Q_0$			
	00	01	11	10
00	1	-	-	1
01	1	-	-	0
11	1	-	-	0
10	1	-	-	1

$k Q_2$	$Q_1 Q_0$			
	00	01	11	10
00	-	-	-	-
01	0	1	1	1
11	0	0	1	1
10	-	-	-	-

$k Q_2$	$Q_1 Q_0$			
	00	01	11	10
00	-	-	1	0
01	-	-	1	1
11	-	-	1	1
10	-	-	1	0

$k Q_2$	$Q_1 Q_0$			
	00	01	11	10
00	-	1	1	-
01	-	1	1	-
11	-	1	1	-
10	-	1	1	-

Rys. 10. Tablica stanów licznika zapisana w formie tablic Karnaugh dla poszczególnych wejść informacyjnych przerzutników typu JK-MS.

Do syntezy i minimalizacji funkcji logicznych odpowiadających Tabeli 1 zastosowano metodę tablic Karnaugh. Na podstawie grupowania jedynek przedstawionego na rys. 10 otrzymuje się następujące funkcje:

$$J_0 = \overline{Q_2} + \overline{Q_1} = \overline{Q_2 Q_1}, \quad (2)$$

$$K_0 = 1, \quad (3)$$

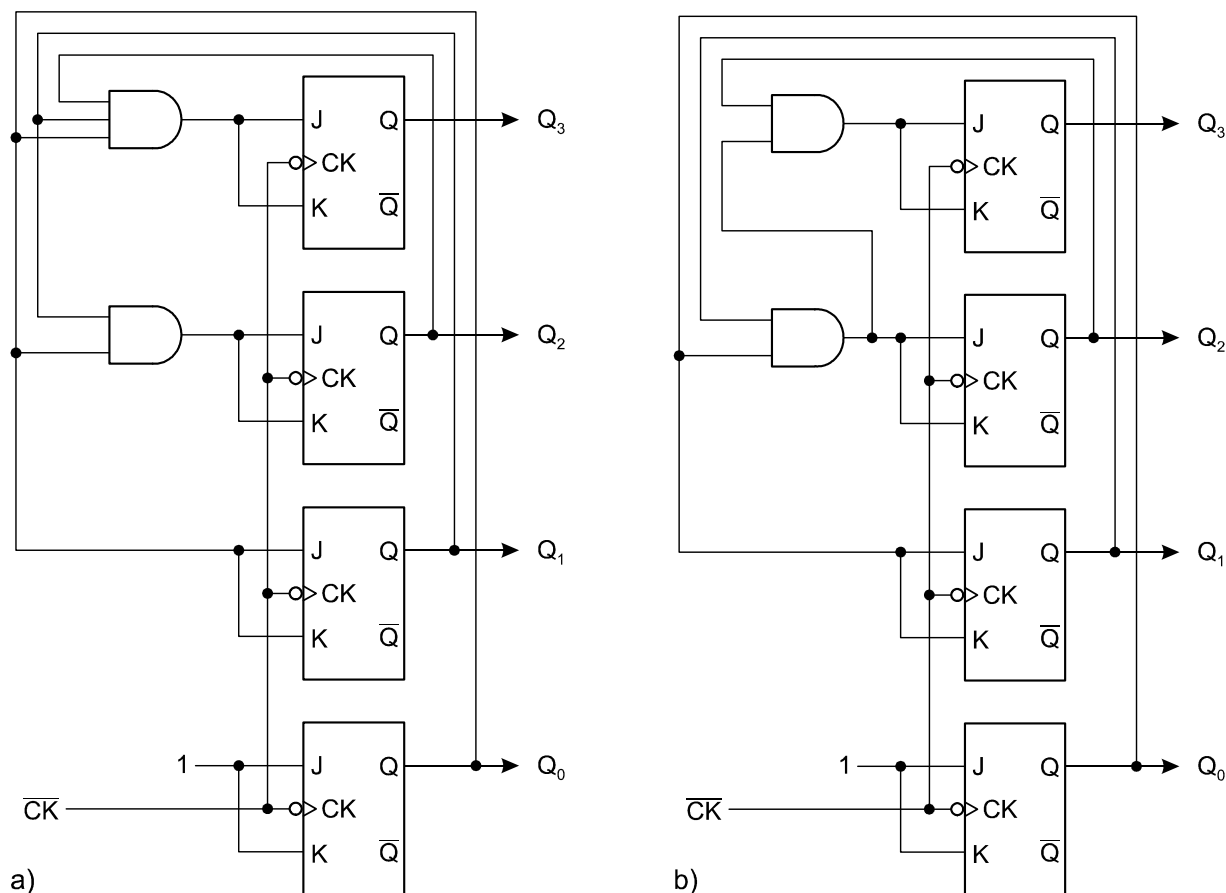
$$J_1 = \overline{Q_2} Q_0 + k Q_0 = \overline{\overline{\overline{Q_2} Q_0} \cdot \overline{k Q_0}}, \quad (4)$$

$$K_1 = Q_2 + Q_0 = \overline{\overline{Q_2} \overline{Q_0}}, \quad (5)$$

$$J_2 = Q_1 Q_0 = \overline{\overline{Q_1} \overline{Q_0}}, \quad (6)$$

$$K_2 = \overline{k} Q_0 + Q_1 = \overline{\overline{\overline{\overline{k} Q_0} \cdot \overline{Q_1}}}. \quad (7)$$

Zapisane powyżej wzory przekształcono do postaci umożliwiającej bezpośrednią realizację przy użyciu bramek NAND. Schemat układu licznika przedstawiono na rys. 11.



Rys. 12. Schemat układu synchronicznego licznika modulo 16 pracującego w naturalnym kodzie binarnym. (a) układ z przeniesieniami równoległymi, (b) układ z przeniesieniami szeregowymi.

Ustawianie stanu początkowego licznika o strukturze równoległej może być zrealizowane na dwa sposoby:

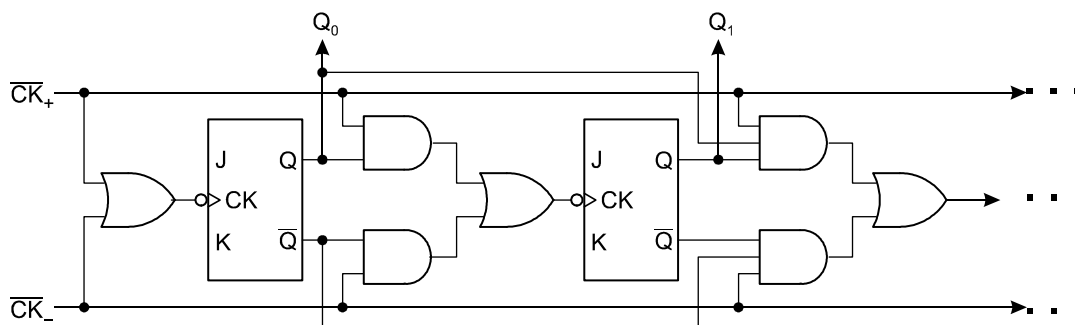
- asynchronicznie, tzn. przepisanie stanu z wejść równoległych następuje natychmiast po podaniu odpowiedniego stanu na wejście sterujące,
- synchronicznie, tzn. przepisanie stanu jest realizowane dopiero po wystąpieniu odpowiedniego zbocza na wejściu zegarowym.

Ustawianie asynchroniczne realizuje się poprzez wejścia bezpośrednie przerzutników, w sposób analogiczny do przedstawionego na rys. 5 dla licznika o strukturze szeregowej. Obwody ustawiania asynchronicznego zwykle nie mają większego wpływu na strukturę pozostałych obwodów pracujących w sposób synchroniczny. Ustawianie synchroniczne wymaga wykorzystania tych samych wejść przygotowujących przerzutników, które biorą udział w zliczaniu impulsów. Funkcję ustawiania synchronicznego uwzględnia się na etapie projektowania wejściowego bloku kombinacyjnego licznika.

Bardziej rozbudowane układy wyposażone są także w funkcję zerowania licznika, która działa w sposób nadrzędny zarówno nad operacją zliczania impulsów jak i przepisywania stanów z wejść równoległych. Układ 4-bitowego rewersyjnego licznika synchronicznego z asynchronicznym wpisywaniem i zerowaniem przedstawiono w aneksie B, natomiast układ jednokierunkowego licznika synchronicznego z synchronicznym wpisywaniem i zerowaniem przedstawiono w aneksie C na końcu instrukcji.

Liczniki rewersyjne o strukturze równoległej można budować w dwóch wersjach:

- z jednym wejściem zegarowym i dodatkowym wejściem wybierającym kierunek zliczania – do projektowania takich układów można wykorzystać np. przedstawioną wcześniej metodę kolejnych stanów,
- z dwoma wejściami taktującymi, przy czym zmiany na jednym z wejść powodują zliczanie impulsów do przodu, zaś na drugim zliczanie do tyłu. Przykładowy układ licznika tego typu przedstawiono na rys. 13. Zauważmy, że układ ten został zrealizowany odmiennie niż licznik jednokierunkowy przedstawiony na rys. 12 – wejścia J i K przerzutników nie są używane, natomiast bloki kombinacyjne realizują operacje wprost na sygnałach taktujących.

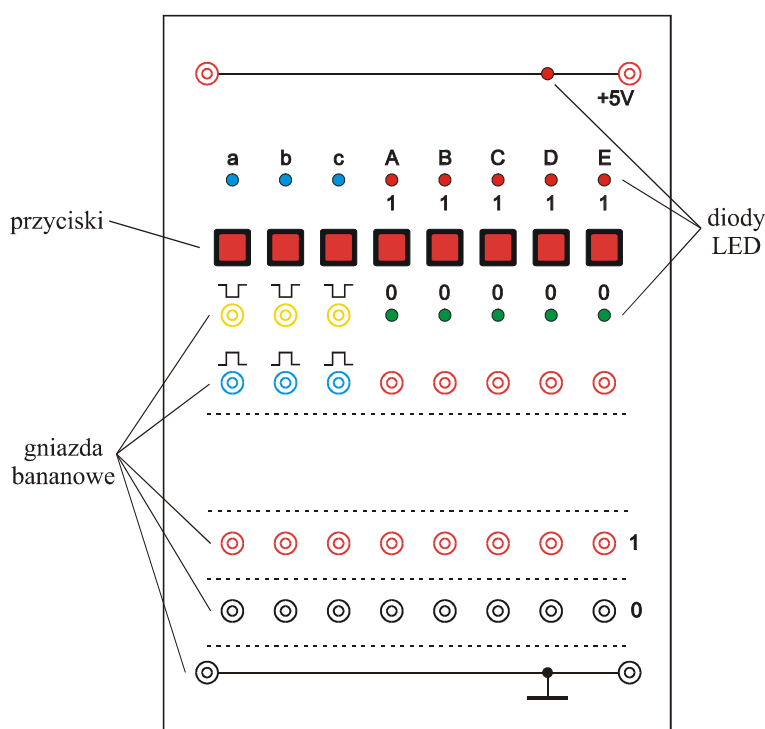


Rys. 13. Podstawowy układ synchronicznego licznika rewersyjnego z osobnymi wejściami zliczania do przodu \overline{CK}_+ oraz zliczania do tyłu \overline{CK}_- . Wejścia J i K przerzutników nie są wykorzystywane i założono ich domyślny stan 1. Wejścia bramek AND w każdym stopniu obejmują odpowiedni sygnał taktujący oraz wyjścia wszystkich poprzedzających stopni. Pełny schemat układu przedstawiono w aneksie B.

4. Dostępna aparatura

4.1. Moduł zadajnika stanów logicznych

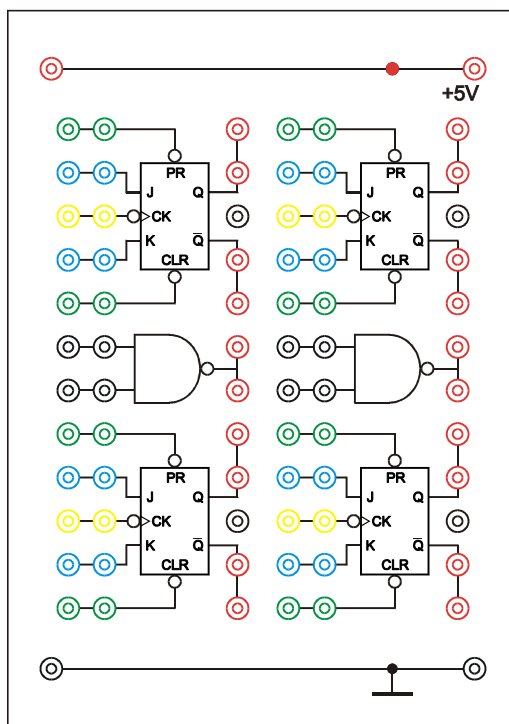
Moduł zadajnika stanów logicznych składa się z pięciu przełączników umożliwiających wybór stanu logicznego 0 albo 1 w czerwonych gniazdach umieszczonych pod przełącznikami (rys. 14). Ponadto moduł zawiera trzy generatory pojedynczego impulsu, przy czym na osobnych gniazdach dostępny jest zarówno impuls stanu 1 (gniazda niebieskie) jak i impuls stanu 0 (gniazda żółte). Generator impulsów jest przydatny jako źródło sygnału zegarowego synchronizującego przejścia badanego układu sekwencyjnego. Ponadto, kolejny kanał generatora impulsów można wykorzystać do wstępnego zerowania/ustawiania przerzutników przy użyciu ich wejść asynchronicznych. W przypadku gdy liczba przełączników jest niewystarczająca, najrzadziej przełączane wejścia badanego układu należy podłączyć do gniazd o ustalonym stanie 0 albo 1 umieszczonych w dolnej części modułu.



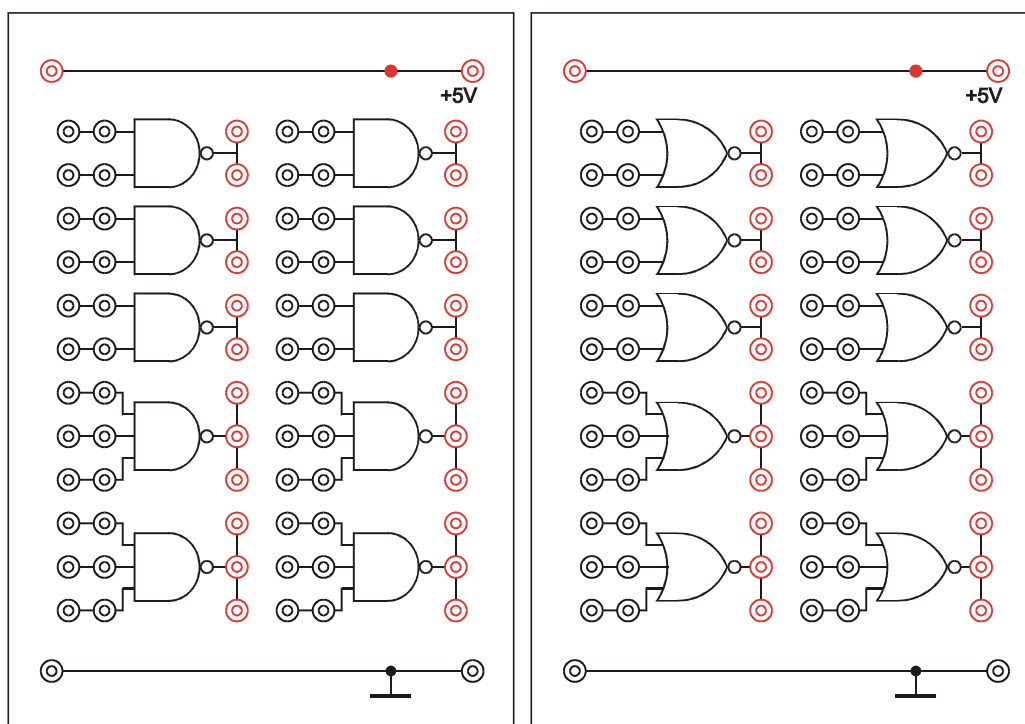
Rys. 14. Panel czołowy modułu zadajnika stanów logicznych.

4.2. Moduł przerzutników

Moduł przerzutników (rys. 15) zawiera cztery przerzutniki JK Master-Slave z dodatkowymi wejściami asynchronicznego zerowania *CLR* oraz ustawiania *PR* (negacja oznacza aktywność dla wejścia w stanie 0). Wejścia każdego z przerzutników zostały wyprowadzone niezależnie od wejść innych przerzutników. Przerzutniki te pod względem funkcjonalnym odpowiadają przerzutnikom dostępnym w układach scalonych 7476 (wewnętrzna struktura takiego przerzutnika została przedstawiona w aneksie A). Ponadto moduł przerzutników wyposażono w dwie dwuwejściowe bramki NAND. Jeżeli wymagana jest większa liczba bramek, należy wykorzystać dodatkowe moduły z bramkami.



Rys. 15. Panel czółowy modułu przerzutników JK-MS i bramek logicznych NAND.



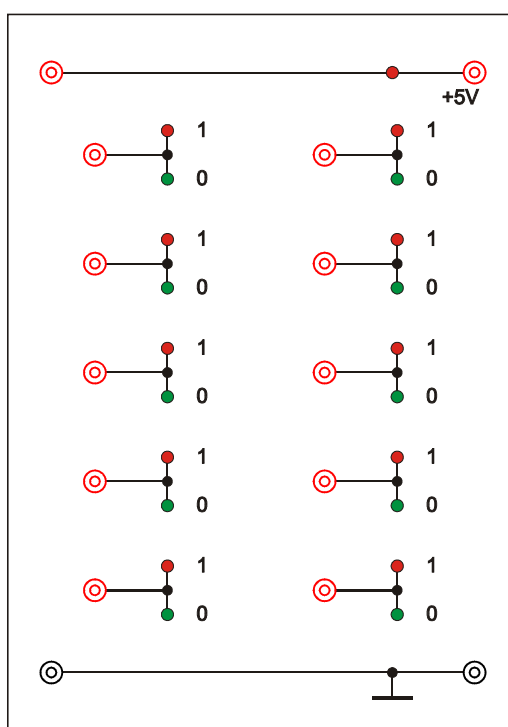
Rys. 16. Panele czółowe modułów bramek logicznych NAND oraz NOR.

4.3. Moduły bramek logicznych

Jeden moduł bramek logicznych (rys. 16) zawiera 6 dwuwejściowych bramek NAND oraz 4 trzywejściowe bramki NAND, zaś potrzebne bramki NOT realizuje się przy użyciu zworek zwierających wejścia bramek NAND. Ponadto na stanowisku doświadczalnym powinien być dostępny jeden moduł zawierający 6 dwuwejściowych bramek NOR oraz 4 trzywejściowe bramki NOR. Wszystkie pozostałe funkcje logiczne należy realizować przez połączenia dostępnych bramek.

4.4. Moduł testera stanów logicznych

Moduł testera stanów logicznych zawiera 10 niezależnych testerów (rys. 17). Każdy tester zaopatrzony jest w jedno wejście pomiarowe oraz diody czerwoną i zieloną, których zapalenie symbolizuje stan logiczny odpowiednio 1 i 0. Jednoczesne świecenie diody czerwonej i zielonej oznacza wzbudzenie oscylacji w badanym układzie. Trwałe oscylacje nie powinny występować w poprawnie połączonym układzie licznika, zatem ich obecność wskazuje na błąd w sieci połączeń. W przypadku gdy na wejściu pomiarowym występuje stan wysokiej rezystancji lub doprowadzone napięcie względem masy nie odpowiada żadnemu stanowi logicznemu obie diody są zgaszone. Wystąpienie takiego stanu na wejściu pomiarowym podłączonym do wyjścia przerzutnika, bramki logicznej lub modułu zadawania stanów wskazuje na złamanie przewodu, brak kontaktu, awarię przyrządów lub brak zasilania.



Rys. 17. Panel czołowy modułu testera stanów logicznych.

4.5. Zasilacz

Zasilanie wszystkich modułów doświadczalnych opisanych powyżej zrealizowano przy użyciu jednego zasilacza laboratoryjnego SIGLENT SPD3303D. Spośród trzech kanałów tego zasilacza w tym ćwiczeniu wykorzystywany jest tylko kanał o ustalonym napięciu +5V prądu stałego. Alternatywnie na stanowisku może znajdować się zasilacz dogniazdkowy +5V z przewodem zakończonym wtyczkami bananowymi.

5. Przebieg doświadczenia

Pierwszym krokiem powinno być zapoznanie się z podstawami teoretycznymi oraz staranne przygotowanie projektów wybranych liczników. **W przypadku bardziej złożonych zadań nakład pracy niezbędnej na tym etapie może być znaczny i zalecane jest przygotowanie brudnopisu projektu przed zajęciami laboratoryjnymi.** Dysponując projektem można przystąpić do połączenia zaprojektowanego układu wykorzystując dostępne przerzutniki i bramki logiczne.

Odpowiedzi układu bada się przy użyciu testera stanów logicznych tylko na jawnych wyjściach układu, natomiast śledzenie innych stanów wewnętrznych w licznikach zazwyczaj nie jest konieczne. Generując pojedyncze impulsy na wejściu zegarowym *CK* badania prowadzi się w zakresie pełnego cyklu zliczeń licznika. Jeżeli układ posiada dodatkowe wejścia sterujące zerowaniem, przepisywaniem danych z wejść równoległych lub wyborem realizowanej mikrooperacji, należy zbadać zachowanie układu po zmianach stanów na tych wejściach, powtarzając badania dla kilku wybranych stanów wewnętrznych licznika. Dane zebrane doświadczalnie porównuje się z założeniami teoretycznymi.

5.1. Kolejność czynności

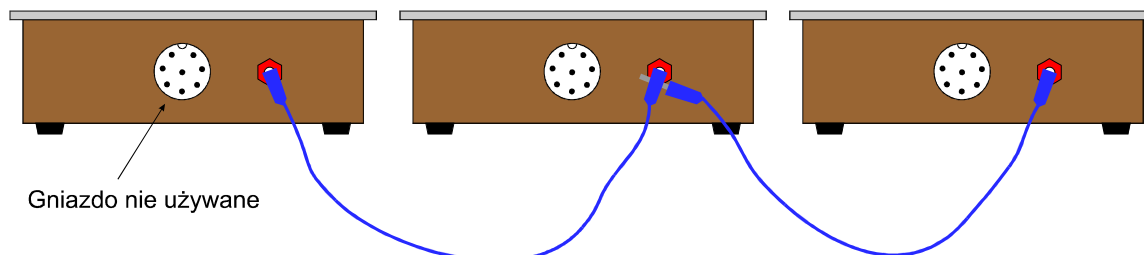
1. W porozumieniu z prowadzącym zajęcia wybrać zadanie/zadania do realizacji. Przykładowe zadania zebrano w następnym rozdziale. Wykonawcy ćwiczeń mogą zaproponować własne zadania.
2. Przygotować wstępny schemat układu licznika. W przypadku liczników synchronicznych zalecane jest przygotowanie pełnego projektu obejmujący tablicę kolejnych stanów licznika, syntezę funkcji wejść przerzutników *J* oraz *K* (np. metodą tablic Karnaugh) oraz schemat układu.
3. Połączyć z wyłączonym zasilaczem wszystkie moduły umieszczone na stelażu. W tym celu w skrajnym prawym albo lewym module połączyć przewodami linię masy (na dole modułu) i zasilania +5V (na górze) z wyjściem zasilacza. Zasilanie pozostałych modułów realizuje się poprzez połączenie analogicznych linii w sąsiednich modułach.

UWAGA:

- a) **wszystkie moduły powinny być zasilane z wyjścia zasilacza zapewniającego stałe napięcie +5V (gniazda z prawej strony zasilacza). Nie używać wyjść umożliwiających płynną zmianę napięcia,**
- b) **nie wolno łączyć zasilania +5V z wyjściami przerzutników, bramek lub wyjściami zadajnika stanów logicznych.**

Nieprzestrzeganie powyższych zaleceń grozi uszkodzeniem urządzeń.

4. Jeżeli moduły z elementami logicznymi wyposażone są w dodatkowe gniazda bananowe umieszczone od dołu na blaszanych obudowach, to zalecane jest ich połączenie zgodnie z rys. 18. Połączenie to umożliwia synchronizację pracy modułów. Połączenia więcej niż dwóch modułów realizuje się przy użyciu przewodów ze specjalnymi wtykami bananowymi, które są jednocześnie gniazdami dla kolejnego przewodu. Nie wykorzystywać przewodów tego typu do realizacji innych połączeń, przy których wystarczą przewody ze zwykłymi wtykami.



Rys. 18. Zalecane połączenie między modułami przy realizacji układów sekwencyjnych.

5. Po uzyskaniu zezwolenia włączyć zasilacz i sprawdzić czy świecą się czerwone diody umieszczone na linii +5V. Świecenie diody o innym kolorze oznacza awarię wewnętrzną modułu z elementami logicznymi. W module testera stanów logicznych wszystkie diody symbolizujące stan 0 lub 1 powinny być zgaszone przy rozwartych wejściach testerów.
6. Połączyć zaprojektowany układ, do wejścia zegarowego doprowadzić sygnał z generatora pojedynczego impulsu w module zadawania stanów, do pozostałych wejść doprowadzić sygnały z przełączników w tym samym module, natomiast jawne wyjścia układu połączyć z testerem stanów logicznych. Rozważyć jaki rodzaj impulsu zegarowego zapewni najlepsze rezultaty - jeżeli wejścia zegarowe \overline{CK} przerzutników są podłączone do zadajnika bez pośrednictwa bramek wprowadzających negację, to zalecany jest impuls dodatni \square . W celu uproszczenia sieci połączeń można założyć, że wszystkie niepodłączone wejścia przerzutników mają domyślny stan wysoki. Obwody elektroniczne są zabezpieczone przed przypadkowymi błędnymi połączeniami obejmującymi kilka wyjść bramek logicznych, przerzutników lub wyjść modułu zadawania stanów logicznych.
7. Generując pojedyncze impulsy zegarowe zbadać pełny cykl zliczeń w liczniku. Sporządzić tabelę przedstawiającą kolejne stany wyjść po każdym pojedynczym impulsie zegarowym. Dla układów z wejściem (wejściami) programującym wykonywaną mikrooperację (np. zakres zliczania w liczniku) powtórzyć badania dla każdego dozwolonego stanu tych wejść. Jeżeli układ jest wyposażony w dodatkowe wejścia zerowania lub zapisywania z wejść równoległych, to należy zbadać odpowiedź układu na zmiany stanów na każdym z tych wejść dla kilku wybranych stanów wewnętrznych licznika.
8. Porównać rezultaty uzyskane w punkcie 7 z założeniami teoretycznymi. W przypadku stwierdzenia rozbieżności podjąć próbę ich wyjaśnienia i usunięcia przez sprawdzenie luzów w połączeniach realizowanych przy użyciu przewodów i zworek, sprawdzenie poprawności połączeń wykonanych w punkcie 6 oraz ponowne przeanalizowanie projektu. Po dokonaniu poprawek powtórzyć badania opisane w punkcie 7. Jeśli próby usunięcia rozbieżności nie powiodą się zawiadomić obsługę pracowni.
9. Zanotować w brudnopisie, czy badania zakończyły się sukcesem. Jeżeli układ był poprawiany w porównaniu z pierwszą wersją projektu, to brudnopis powinien zawierać opis zmienionych składników projektu.
10. W obecności opiekuna dydaktycznego wykonać skróconą prezentację działania układu dla niektórych przejść.

11. Jeżeli zespół zdecydował się na wykonanie kolejnego zadania, rozłączyć połączenia pozostawiając jednak obwody zasilania. Wykonać nowe badania wg powyższego planu.
12. Przedstawić do zatwierdzenia brudnopisy z projektami układów oraz wynikami badań.
13. Wyłączyć zasilanie, rozłączyć połączenia i uprzątnąć stanowisko.

5.2. Propozycje zadań realizowanych przez układy liczników

Należy zaprojektować, połączyć i przetestować układy realizujące wybrane zadania spośród poniższej listy. Liczba gwiazdek w nawiasach opisuje stopień trudności zadania. Realizacja zadań o zbyt małej łącznej liczbie gwiazdek powoduje ograniczenie oceny za kompletne i poprawne sprawozdanie (zasady oceniania podano na końcu rozdziału 6).

Zadania dotyczące liczników szeregowych (asynchronicznych):

1. (*) Licznik szeregowy zliczający do przodu wartości w naturalnym kodzie binarnym. Do realizacji wybrać jeden z wariantów licznika: modulo 5, 7, 11, 13, 14 albo 15.
2. (*) Licznik szeregowy zliczający to tyłu wartości w naturalnym kodzie binarnym. Do realizacji wybrać jeden z wariantów licznika: modulo 5, 7, 9 albo 12.
3. (***) Układ złożony z licznika modulo 8 liczącego do przodu w naturalnym kodzie binarnym oraz pamięci wystąpienia przepełnienia arytmetycznego (tzn. przejścia $7_{10} \rightarrow 0$). Pamięć przepełnienia nie zeruje się podczas kolejnych cykli pracy po przepełnieniu. Układ posiada wejście asynchronicznego zerowania \overline{CLR} (*clear*), które dla $\overline{CLR} = 0$ powoduje wyzerowanie zarówno licznika jak i pamięci przepełnienia.
4. (***) Licznik szeregowy o okresie 5 zliczający do przodu kolejne wartości naturalne od 1 do 6 włącznie z pominięciem 0.
5. (***) Licznik szeregowy o okresie 5 zliczający wstecz kolejne wartości naturalne od 6 do 1 włącznie z pominięciem 0.
6. (***) Licznik szeregowy modulo 8 liczący do przodu w naturalnym kodzie binarnym wyposażony w wejście zerowania **synchronicznego** \overline{CLR} (*clear*), które dla $\overline{CLR} = 0$ powoduje wyzerowanie całego licznika po wystąpieniu dodatniego impulsu zegarowego $0 \rightarrow 1 \rightarrow 0$. Przetestować operację zliczania z zakresie pełnego cyklu, a ponadto dokonać zerowania dla kilku wybranych stanów licznika.
7. (***) Licznik szeregowy modulo 8 z możliwością asynchronicznego wpisania do licznika dowolnej 3-bitowej liczby binarnej z wejść równoległych $X_2X_1X_0$. W zależności o stanu wejścia LD (*load*) układ może wykonywać dwie mikrooperacje: inkrementacja dla $LD = 0$ albo asynchroniczne przepisanie danych z wejść równoległych dla $LD = 1$.
8. (***) Szeregowy licznik rewersyjny modulo 8, tzn. licznik który może zliczać zarówno do przodu jak i do tyłu. Licznik posiada jedno wejście taktujące CK , natomiast kierunek zliczania jest zadawany przez stan dodatkowego wejścia P , przy czym $P = 0$ oznacza zliczanie do tyłu, $P = 1$ zliczanie do przodu. Rozważyć, czy zmiana stanu wejścia P może zmienić stan licznika, a jeżeli tak, to w jakich okolicznościach? Wejścia zerowania i zapisywania stanu licznika nie są wymagane.
9. (***) Szeregowy licznik modulo N liczący do przodu, gdzie N jest wartością reprezentowaną przez dowolną 3-bitową liczbę w naturalnym kodzie binarnym podaną z zewnątrz na wejścia informacyjne licznika $X_2X_1X_0$. Wejścia zerowania i zapisywania stanu licznika nie są wymagane. Rozważyć jak zachowa się licznik w sytuacji, gdy wartość N zostanie nagle zmniejszona poniżej bieżącego stanu licznika.

Zadania dotyczące liczników równoległych (synchronicznych):

10. (**) 3-bitowy licznik synchroniczny modulo 8 zliczający do przodu z możliwością asynchronicznego wpisania do licznika dowolnej 3-bitowej liczby binarnej z wejść równoległych $X_2X_1X_0$. W zależności o stanu wejścia LD (*load*) układ może wykonywać dwie mikrooperacje: inkrementacja dla $LD = 0$ albo asynchroniczne przepisanie danych z wejść równoległych dla $LD = 1$.
11. (**) 3-bitowy licznik synchroniczny modulo 7 zliczający do przodu wartości w naturalnym kodzie binarnym z asynchroniczną korektą błędnego stanu. Wejścia zerowania i zapisywania stanu licznika nie są wymagane.
12. (***) Licznik synchroniczny zliczający do przodu wartości w naturalnym kodzie binarnym. Do realizacji wybrać jeden z wariantów licznika: modulo 5, 6 albo 7. Układ posiada wejścia równoległe $X_2X_1X_0$ umożliwiające zapis dowolnej wartości 3-bitowej. W zależności o stanu wejścia LD (*load*) układ może wykonywać dwie mikrooperacje: inkrementacja dla $LD = 0$ albo asynchroniczne przepisanie danych z wejść równoległych dla $LD = 1$. Należy zapewnić synchroniczną korektę błędnych stanów, tzn. wartości wykraczających poza zaplanowany zakres pracy licznika.
13. (****) 3-bitowy licznik synchroniczny modulo N zliczający do przodu, gdzie wartość N może przyjmować dwie samodzielnie wybrane wartości, przy czym co najmniej jedna z tych wartości ≥ 4 i co najmniej jedna jest liczbą nieparzystą (z wyłączeniem kombinacji wartości 6 i 7, dla których podano rozwiązanie w niniejszej instrukcji). Wybór jednej z dwóch wartości N jest dokonywany przez stan wejścia programującego k . Rozważyć zachowanie układu w przypadku gdy N zostanie obniżone do wartości mniejszej lub równej od bieżącej wartości zapisanej w liczniku. Wejścia zerowania i zapisywania stanu licznika nie są wymagane.

6. Wskazówki do raportu

Raport powinien zawierać:

1. Stronę tytułową (wg wzoru).
2. Sformułowanie celu ćwiczenia.
3. Wykaz użytej aparatury. Dla modułów z elementami logicznymi podać także specyfikację dostępnego zestawu bramek logicznych i przerzutników (typy bramek i ich liczba wejść, typ przerzutników, liczba dostępnych elementów poszczególnych typów).
4. Treść zadania, które powinien realizować zbudowany licznik. Jeżeli treść zadania nie jest całkowicie jednoznaczna, podać przyjęte dodatkowe założenia i opisać zamierzony sposób działania układu.
5. W przypadku liczników synchronicznych projekt uwzględniający tablicę kolejnych stanów licznika oraz syntezę funkcji logicznych sterowania wejść J i K przerzutników.
6. Schemat połączeń układu złożonego z przerzutników JK-MS oraz bramek logicznych NAND i NOR.
7. Wyniki doświadczalnego badania układu obejmujące pełny cykl zliczeń w liczniku. Dla układów z wejściami programującymi realizowaną funkcję podać wyniki badań we wszystkich możliwych wariantach pracy. Jeżeli układ posiada dodatkowe wejścia sterujące zerowaniem lub zapisywaniem z wejść równoległych, podać przykłady zachowania układu po zmianach stanów tych wejść.
8. Dyskusję uzyskanych wyników. Rozważyć możliwe niepożądane zjawiska, np. występowanie stanów przejściowych na wyjściach licznika, wrażliwość układu na różnice w czasach propagacji sygnałów przez poszczególne elementy logiczne, niedozwolone kombinacje stanów wejść układu, długi czas propagacji sygnału od wejść

do niektórych wyjść spowodowany szeregowym połączeniem kilku bloków funkcjonalnych itd. Podsumować rezultat porównania wyników otrzymanych doświadczalnie z założeniami teoretycznymi. W przypadku wystąpienia rozbieżności opisać środki podjęte w celu ich usunięcia, znalezione błędy i uzyskany ostatecznie rezultat. Czy z perspektywy czasu dostrzeżono jakąś alternatywną możliwość realizacji układu, dla której liczba użytych elementów jest porównywalna lub mniejsza, ewentualnie istnieje możliwość wyeliminowania niepożądanych właściwości układu?

9. Punkty 4 ÷ 8 powtórzyć w sprawozdaniu dla każdego zrealizowanego zadania.

W raporcie ocenie podlegać będzie obecność i poprawność wszystkich wymienionych powyżej składników, czytelność prezentacji wyników w postaci tabel, wzorów i schematów wraz z opisami oraz jakość sformułowanych wniosków. Wstęp teoretyczny nie jest wymagany i w przypadku jego zamieszczenia w raporcie nie wpłynie na ocenę.

Ponadto ocena za poprawne i kompletne sprawozdanie zależy od łącznej liczby gwiazdek opisujących trudność zadań, których wykonanie udokumentowano w zatwierdzonym brudnopisie. Jeżeli prowadzący zajęcia nie poda inaczej obowiązuje następująca tabela:

Suma gwiazdek za wykonane zadania	Maksymalna ocena ze sprawozdania w skali 0...5 pkt.
0	nie zaliczone
1	3 pkt.
2	4 pkt.
≥ 3	5 pkt.

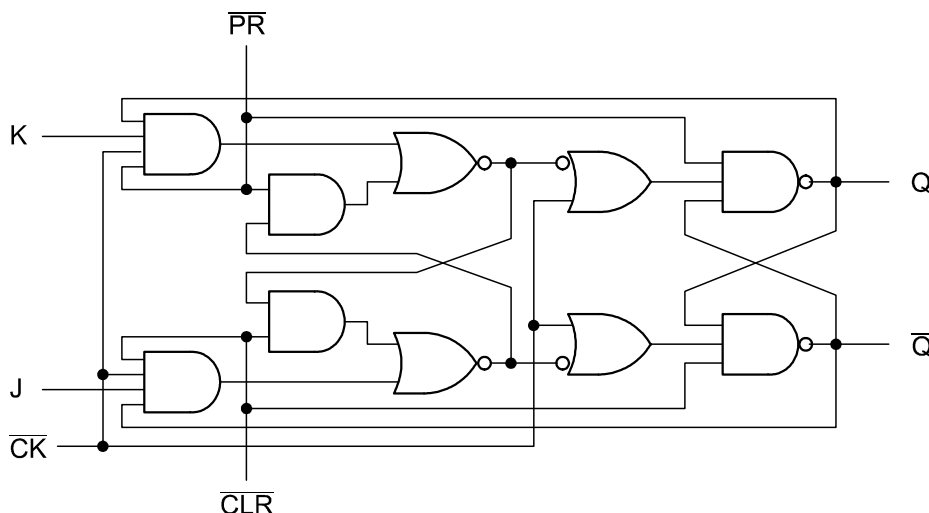
7. Literatura

- [1] H. Kamionka-Mikuła, H. Małysiak, B. Pochopień, *Synteza i analiza układów cyfrowych*, Wydawnictwo Pracowni Komputerowej Jacka Skamierskiego, Gliwice 2006.
- [2] P. Misiurewicz, *Układy automatyki cyfrowej*, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 1984.
- [3] W. Traczyk, *Układy cyfrowe. Podstawy teoretyczne i metody syntezy*, WNT, Warszawa 1986.
- [4] W. Sasal, *Układy scalone serii UCA64/UCY74. Parametry i zastosowania*, WKiŁ, Warszawa 1990.
- [5] J. Kalisz, *Podstawy elektroniki cyfrowej*, WKiŁ, Warszawa 2002.
- [6] M. Molski, *Wstęp do techniki cyfrowej*, WKiŁ, Warszawa 1989.
- [7] A. Barczak, J. Florek, T. Sydoruk, *Elektroniczne Techniki Cyfrowe*, VIZJA PRESS&IT Sp. z o.o., Warszawa 2006.
- [8] W. Głocki, *Układy cyfrowe*, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 2008.

Aneksy

A. Układ przerzutników JK-MS 7476

Przerzutniki dostępne na stanowisku doświadczalnym są funkcjonalnym odpowiednikiem przerzutników z układu scalonego 7476, który zawiera dwa niezależnie pracujące przerzutniki typu JK Master-Slave z dodatkowymi asynchronicznymi wejściami zerowania \overline{CLR} (clear) i ustawiania \overline{PR} (preset).



Rys. A1. Schemat logiczny jednego przerzutnika JK Master-Slave z układu scalonego 7476. Układ scalonych zawiera dwa takie przerzutniki o niezależnie wyprowadzonych wszystkich wejściach i wyjściach.

\overline{CLR}	\overline{PR}	J	K	\overline{CK}	Q	\overline{Q}
0	0	-	-	-	1*	1*
0	1	-	-	-	0	1
1	0	-	-	-	1	0
1	1	0	0		Q_0	\overline{Q}_0
1	1	1	0		1	0
1	1	0	1		0	1
1	1	1	1		\overline{Q}_0	Q_0

Tabela A1. Tablica przejść przerzutnika typu JK Master-Slave z układu scalonego 7476.

Oznaczenia:

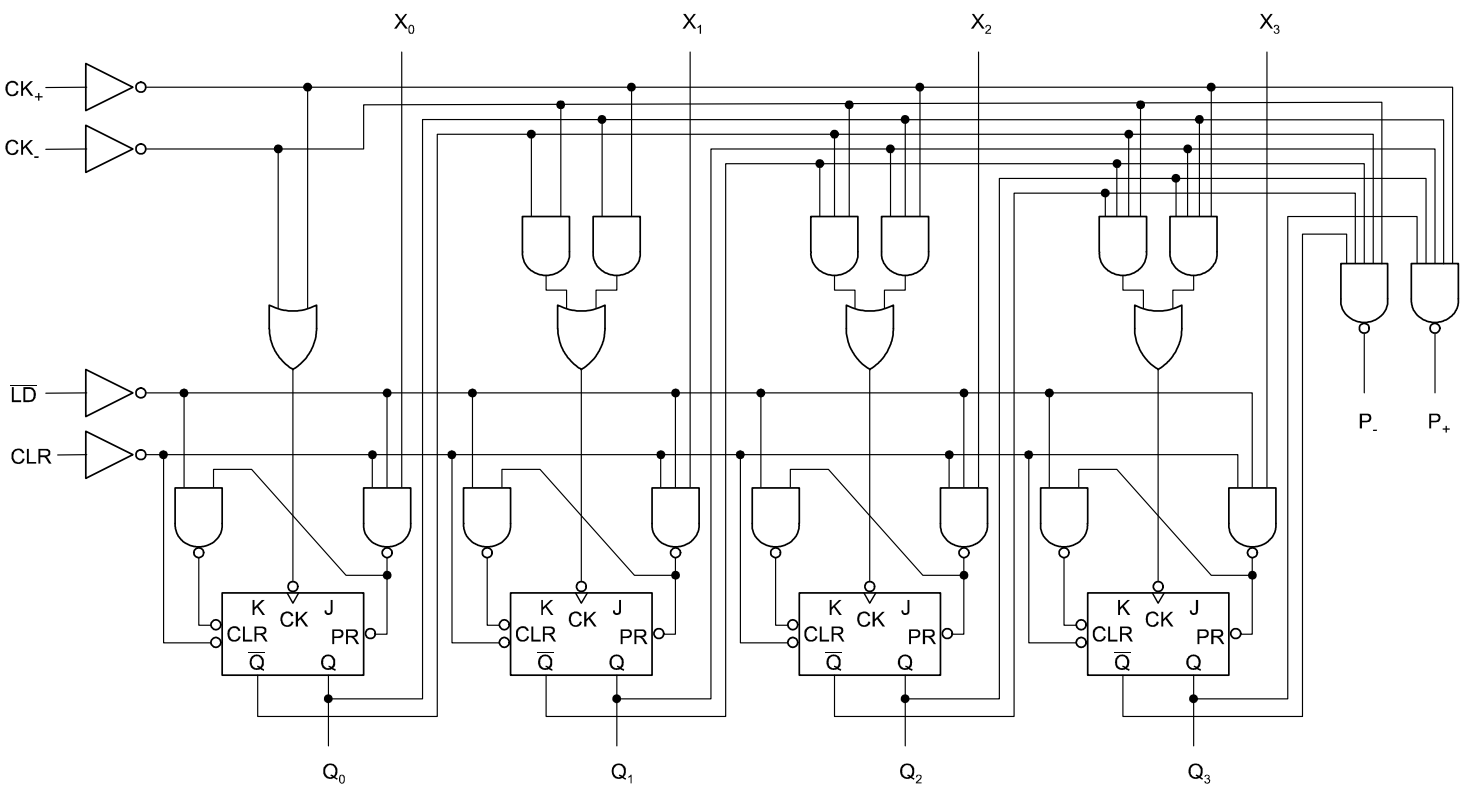
1* - stany niestabilne; w przypadku przejścia $\overline{CLR} = \overline{PR} = 0 \rightarrow 1$ stan wyjść jest nieznanym,

Q_0 - stan wyjścia Q przed opadającym zboczem na wejściu \overline{CK} ,

\overline{Q}_0 - stan wyjścia \overline{Q} przed opadającym zboczem na wejściu \overline{CK} .

B. Synchroniczny licznik rewersyjny 74193 z asynchronicznym wpisywaniem i zerowaniem

Układ 74193 jest synchronicznym rewersyjnym 4-bitowym licznikiem pracującym w naturalnym kodzie dwójkowym. Zmiany stanów wyjść przerzutników Q_0 , Q_1 , Q_2 i Q_3 następują synchronicznie z narastającym zboczem impulsu zegarowego na wejściu CK_+ lub CK_- . Stany wszystkich przerzutników mogą być wprowadzone z wejść równoległych $X_0X_1X_2X_3$ w sposób asynchroniczny. Zerowane wyjście następuje przez podanie $CLR = 1$ i jest operacją nadrzędną nad wprowadzaniem danych.



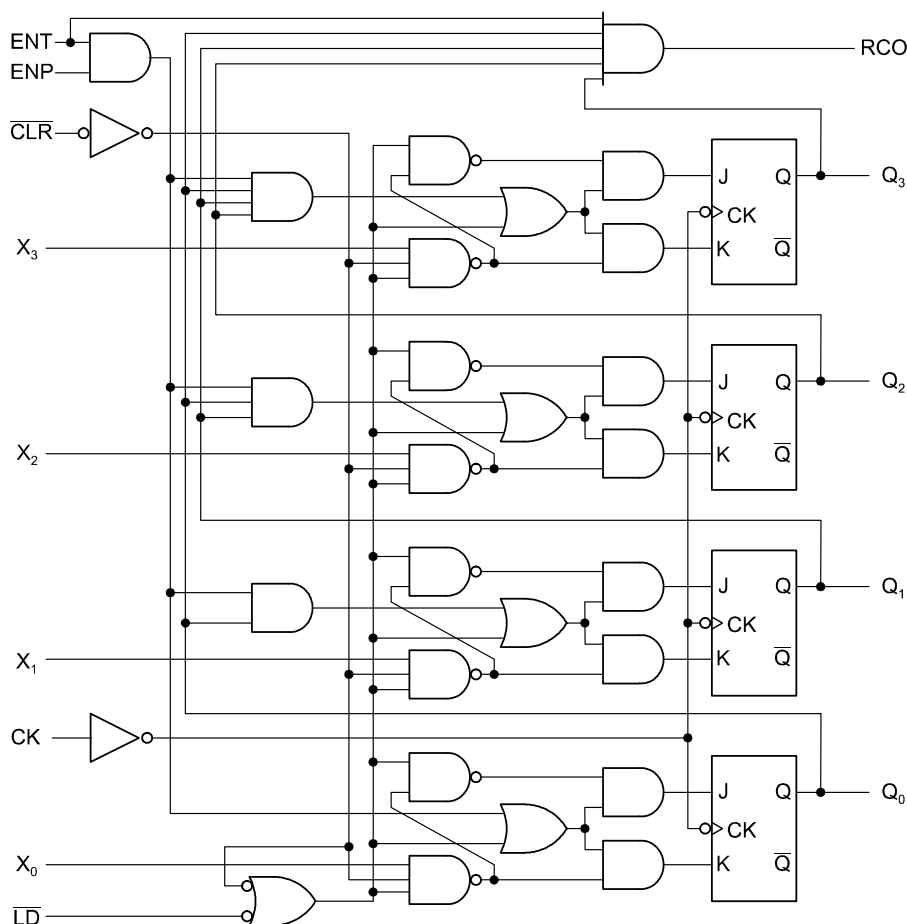
Rys. B1. Schemat licznika rewersyjnego 74193. Oznaczenia: CK_+ - wejście impulsów zliczanych do przodu; CK_- - wejście impulsów zliczanych do tyłu; LD - wejście sterujące asynchronicznym wpisywaniem z wejść równoległych $X_0X_1X_2X_3$; CLR - wejście zerowania asynchronicznego; Q_0, Q_1, Q_2 i Q_3 - wyjścia równoległe licznika; P_+ i P_- - wyjścia przeniesienia dla przepętlenia i pożyczki, jeżeli liczniki są łączone ze sobą, to wyjścia te dostarczają impulsów zegarowych dla wejść odpowiednio CK_+ i CK_- kolejnego licznika.

CLR	\overline{LD}	CK_+	CK_-	mikrooperacja
1	-	-	-	$Q := 0$
0	0	-	-	$Q := X$
0	1	↑	-	$Q := Q + 1$
0	1	1	↑	$Q := Q - 1$

Tabela B1. Tablica przejść licznika rewersyjnego 74193.

C. Synchroniczny licznik jednokierunkowy 74163 z synchronicznym wpisywaniem i zerowaniem

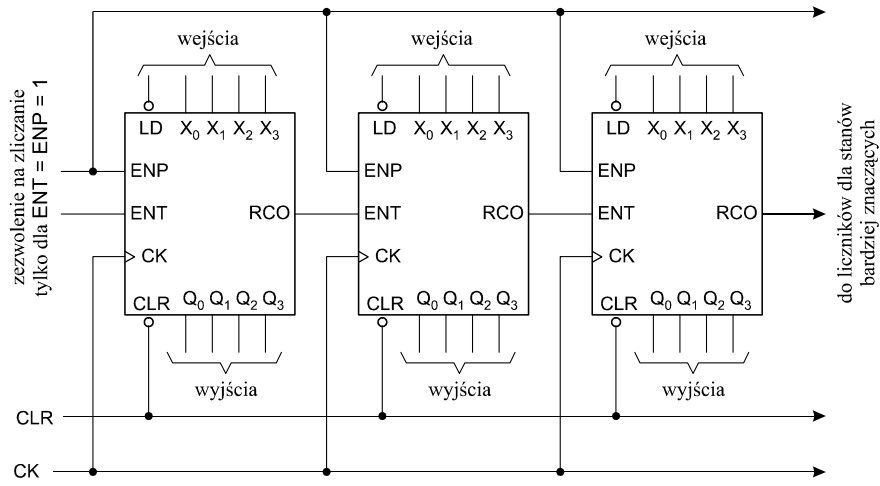
Układ 74163 jest synchronicznym 4-bitowym licznikiem liczącym tylko do przodu, który pracuje w naturalnym kodzie dwójkowym i jest przeznaczony do układów wymagających dużych szybkości działania. Zmiany stanów wyjść przerzutników Q_0 , Q_1 , Q_2 i Q_3 następują synchronicznie z narastającym zboczem impulsu zegarowego na wejściu CK . Zarówno wprowadzanie stanu początkowego z wejść równoległych, jak i zerowanie licznika odbywają się synchronicznie ze zmianami na wejściu CK . Zerowanie jest operacją nadrzędną nad wprowadzaniem danych.



Rys. C1. Schemat licznika synchronicznego 74163. Oznaczenia: CK - wejście zegarowe; \overline{LD} - wejście sterujące synchronicznym wpisywaniem z wejść równoległych $X_0X_1X_2X_3$; \overline{CLR} - wejście zerowania synchronicznego; RCO - wyjście przeniesienia do kolejnego licznika, ENP - wejście zezwolenia na zliczanie, ENT - wejście zezwolenia na zliczanie z możliwością przyjęcia przepętlenia z poprzedniego licznika i szybkiego wygenerowania przeniesienia na wyjściu RCO dla kolejnego licznika.

\overline{CLR}	\overline{LD}	ENT	ENP	CK	mikrooperacja
0	-	-	-	↑	$Q := 0$
1	0	-	-	↑	$Q := X$
1	1	0	0	↑	nic nie rób
1	1	0	1	↑	nic nie rób
1	1	1	0	↑	nic nie rób
1	1	1	1	↑	$Q := Q + 1$

Tabela C1. Tablica przejść licznika rewersyjnego 74163.



Rys. C2. Typowy układ połączeń liczników 74163 w synchronicznym liczniku o dużej pojemności.