



Politechnika Łódzka

Instytut Fizyki

Laboratorium elektroniki

Ćwiczenie E57

Rejestry

Spis treści:

1. Cel ćwiczenia.....	3
2. Zagrożenia	3
3. Wprowadzenie teoretyczne.....	3
4. Dostępna aparatura	8
4.1. Moduł zadajnika stanów logicznych	8
4.2. Moduł przerzutników	8
4.3. Moduły bramek logicznych.....	10
4.4. Moduł testera stanów logicznych	10
4.5. Zasilacz.....	11
5. Przebieg doświadczenia.....	12
5.1. Kolejność czynności	12
5.2. Propozycje zadań realizowanych przez układy rejestrów	13
6. Wskazówki do raportu.....	15
7. Literatura	16
Aneksy.....	17
A. Układ przerzutników JK-MS 7476.....	17
B. Rejestr uniwersalny 74194	18

Przed zapoznaniem się z instrukcją i przystąpieniem do wykonywania ćwiczenia należy opanować następujący materiał teoretyczny:

1. Podstawowe typy przerzutników i tablice ich przejść. [1-8]
2. Realizacja pozostałych typów przerzutników przy użyciu przerzutników JK-MS. [3,4,6,7]
3. Łączenie przerzutników w wielobitowe rejestry przesuwające. [1-8]

1. Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się z wykorzystaniem przerzutników do realizacji różnorodnych układów rejestrów. Szczególny nacisk położono na rejestry przesuwające i ich zastosowanie do zamiany postaci informacji z równoległej na szeregową i odwrotnie oraz do realizacji liczników pierścieniowych. Do realizacji rejestrów wykorzystano przerzutniki wyłącznie typu JK-MS z dodatkowymi wejściami asynchronicznymi, co daje możliwość zapoznania się ze sposobami ich przekształcenia w inne standardowe przerzutniki.

2. Zagrożenia

Rodzaj	Brak	Małe	Średnie	Duże
zagrożenie elektryczne		+		
zagrożenie optyczne	+			
zagrożenie mechaniczne (w tym akustyczne, hałas)	+			
zagrożenie polem elektro-magnetycznym (poza widmem optycznym)	+			
zagrożenie biologiczne	+			
zagrożenie radioaktywne (jonizujące)	+			
zagrożenie chemiczne	+			
zagrożenie termiczne (w tym wybuch i pożar)	+			

Przewody z wtykami bananowymi są przeznaczone wyłącznie do użytku w obwodach niskiego napięcia – nie wolno podłączać ich do gniazda sieci zasilającej 230 V.

3. Wprowadzenie teoretyczne

Rejestry są synchronicznymi układami sekwencyjnymi, w których podstawowe operacje to wprowadzanie, przechowywanie oraz wyprowadzanie informacji cyfrowej. W odróżnieniu od bloków pamięci, dane w rejestrach nie są identyfikowane przez adres. Ze względu na sposób wprowadzania oraz wyprowadzania danych wyróżnia się rejestry:

PIPO (ang. *parallel input – parallel output*) – wprowadzanie i wyprowadzanie informacji odbywa się po liniach równoległych.

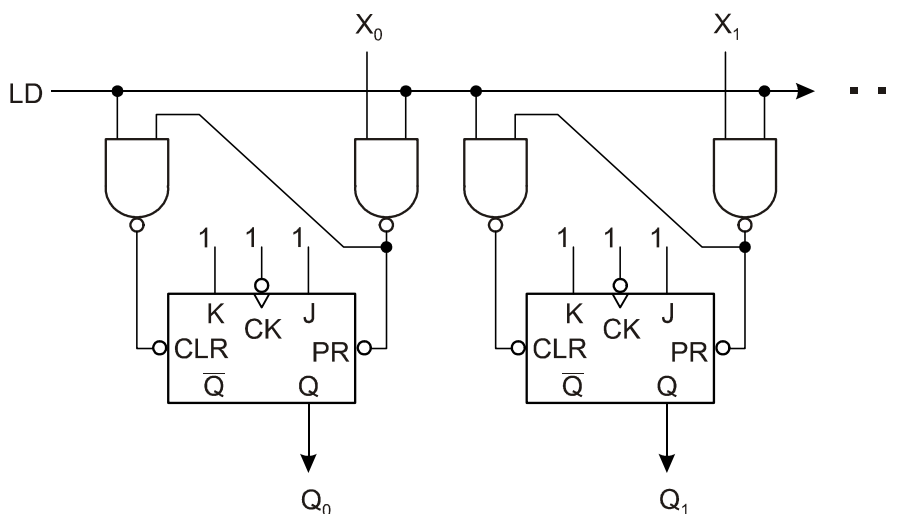
PISO (ang. *parallel input – serial output*) – wprowadzanie informacji odbywa się po liniach równoległych, wyprowadzanie w sposób szeregowy.

SIPO (ang. *serial input – parallel output*) – wprowadzanie informacji odbywa się w sposób szeregowy, wyprowadzanie po liniach równoległych.

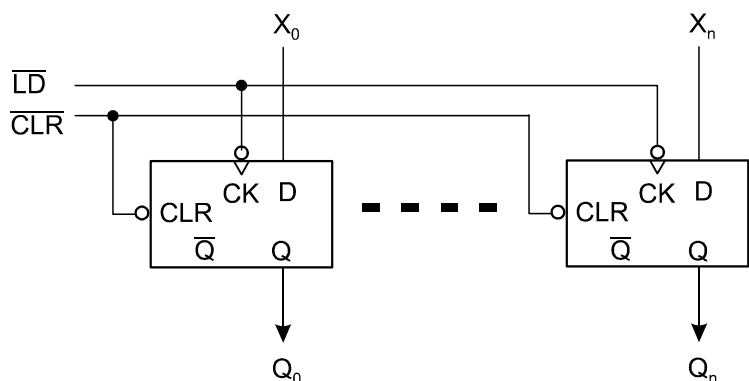
SISO (ang. *serial input – serial output*) – wprowadzanie i wyprowadzanie informacji odbywa się w sposób szeregowy.

Rejestry PIPO nazywamy rejestrami równoległymi, gdyż wykonują taką samą operację na każdym spośród bitów przechowywanej informacji w sposób niezależny od pozostałych bitów. Rejestry PIPO realizuje się zazwyczaj przy użyciu przerzutników RS albo przerzutników typu D. W przypadku użycia przerzutników RS przepisywanie danych z wejścia na wyjście jest aktywne przez cały czas utrzymywania określonego poziomu na wejściu sterującym, natomiast po zmianie poziomu następuje zachowanie (zatrzaśnięcie) stanu danych. 4-bitowy rejestr tego typu jest dostępny w postaci układu scalonego 7475 znanego z literatury jako „zatrzask” (ang. *latches*). Wykorzystując dostępne w pracowni moduły z przerzutnikami JK Master-Slave (szczegółowy opis tych przerzutników znajduje się w aneksie A), rejestr typu zatrzask można zrealizować przez redukcję tych przerzutników do przerzutników RS jak na rys. 1.

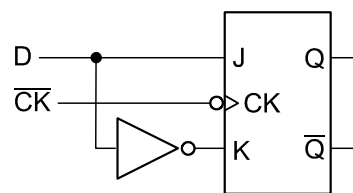
W przypadku użycia przerzutników typu D wyzwalanych zboczem zapis danych następuje tylko podczas określonego zbocza sygnału taktującego. 4-bitowy rejestr tego typu jest wytwarzany w postaci układu scalonego 74174, a jego schemat przedstawiono na rys. 2. Rejestr ten można zbudować także z przerzutników JK, wykorzystując konwersję przerzutnika JK w przerzutnik D przedstawioną na rys. 3.



Rys. 1. Układ rejestru PIPO wyzwalanego poziomem wykorzystujący wejścia asynchroniczne przerzutnika JK. Przepisywanie stanu $Q := X$ zachodzi przez cały czas trwania poziomu 1 na wejściu LD (ang. *load*), natomiast podczas $LD = 0$ układ zachowuje ostatnio zapisany stan wyjść Q .

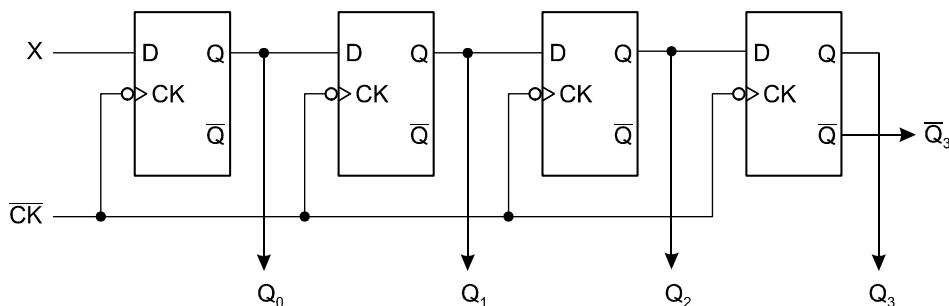


Rys. 2. Podstawowy układ rejestru PIPO wyzwalanego zboczem. Dla zanegowanego wejścia zegarowego \overline{CK} w przerzutnikach przepisywanie danych na wyjście następuje po zboczu opadającym $0 \rightarrow 1$. Ustawienie wejścia \overline{CLR} w stan 0 powoduje asynchroniczne zerowanie rejestru w sposób nadrzędny nad operacją przepisania danych.

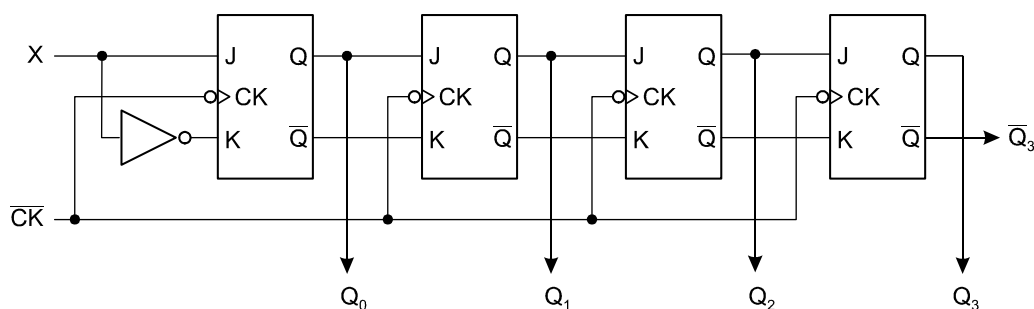


Rys. 3. Konwersja przerzutnika typu JK w przerzutnik D.

Rejestry typu PISO, SIPO oraz SISO zalicza się do rejestrów szeregowych (przesuwających). Podstawowy układ rejestru przesuwającego z zapisem szeregowym przedstawiono na rys. 4 i 5. W zależności od tego, czy na zewnątrz bloku funkcjonalnego zostanie wyprowadzone tylko wyjście ostatniego z prawej przerzutnika, czy też wyjścia wszystkich przerzutników, układ ten można rozważać zarówno jako rejestr SISO jak i SIPO. Jednokierunkowy rejestr SISO o pojemności 8-bitów jest dostępny np. w postaci układu scalonego 7491, natomiast 8-bitowy rejestr SIPO w układzie scalonym 74164.

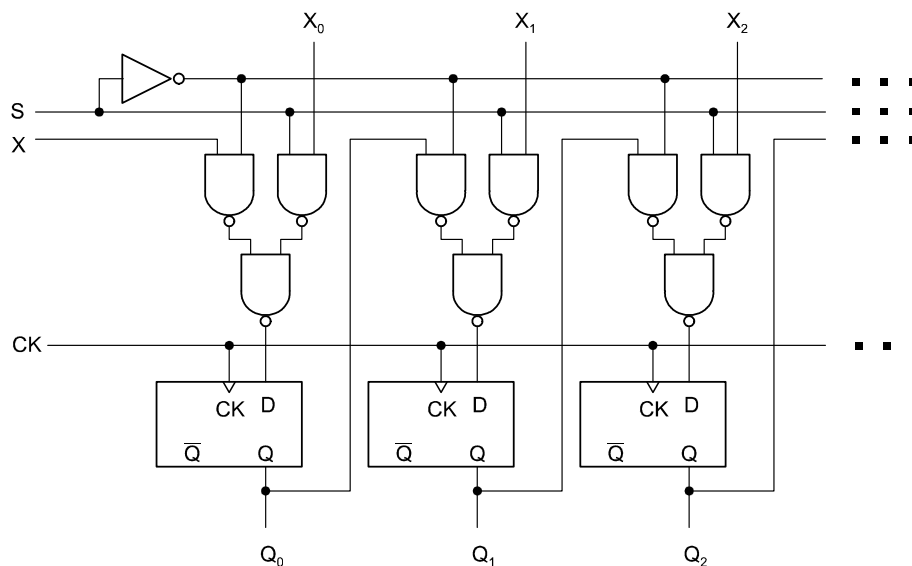


Rys. 4. Podstawowy układ rejestru z szeregowym wejściem danych X. Dla zanegowanego wejścia \overline{CK} w przerzutnikach przesuw danych w prawo następuje po zboczu opadającym $0 \rightarrow 1$.



Rys. 5. Realizacja funkcjonalnego odpowiednika rejestru przedstawionego na rys. 4 przy wykorzystaniu przerzutników typu JK.

Wprowadzanie danych w postaci równoległej do rejestru przesuwającego może odbywać się w sposób asynchroniczny albo synchroniczny. Do wprowadzania asynchronicznego wykorzystuje się wejścia asynchroniczne CLR i PR przerzutników, a układ połączeń tych wejść jest analogiczny jak w przypadku rejestru PIPO przedstawionego na rys. 1. Wprowadzanie synchroniczne wymaga wykorzystania tych samych wejść przygotowujących przerzutników, które uczestniczą także w przesuwaniu danych. Układ rejestru należy zatem uzupełnić o układy kombinacyjne, które pełnią rolę programowanych przełączników łączących wejścia przygotowujące przerzutników z liniami równoległego wprowadzania danych $X_0X_1\dots X_n$ albo z wyjściami $Q_0Q_1\dots Q_{n-1}$ sąsiednich przerzutników w zależności od realizowanej mikrooperacji. Uproszczony układ rejestru tego typu przedstawiono na rys. 6. Analogiczny układ kombinacyjny można wykorzystać do budowy rejestru przesuwającego zarówno w lewo jak i w prawo, w którym wejście D i -tego przerzutnika może być łączone z wyjściami Q_{i-1} albo Q_{i+1} sąsiedniego przerzutnika z lewej albo z prawej strony.



Rys. 6. Uproszczony układ rejestru przesuwającego z zapisywaniem synchronicznym. Na schemacie pominięto obwody zerowania. Gdy wejście sterujące $S = 0$ do układu wprowadzane są dane z wejścia szeregowego X i przesuwane w prawo, natomiast gdy $S = 1$ następuje przepisanie stanu wejść $X_0X_1X_2\dots$ na wyjścia $Q_0Q_1Q_2$. Obie operacje realizowane są po zboczu rosnącym na wejściu zegarowym CK .

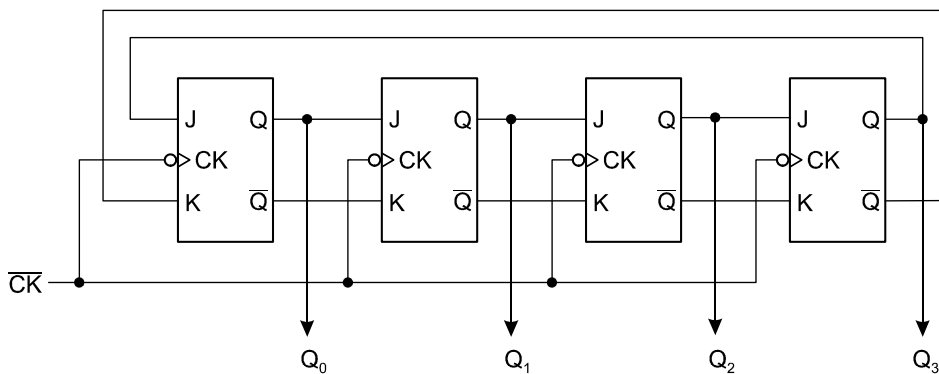
Zauważmy, że możliwe jest połączenie wszystkich funkcji rejestrów PIPO, PISO, SIPO oraz SISO, a także możliwości przesuwu danych w obie strony, w jednym bloku funkcjonalnym. Rejestry o takich możliwościach nazywamy **rejestrami uniwersalnymi**. W dodatku B przedstawiono 4-bitowy rejestr uniwersalny produkowany w postaci układów scalonych 74194.

Rejestr w którym połączono wyjście szeregowo z wejściem wprowadzania szeregowo z przeciwnej strony rejestru nazywamy **licznikiem pierścieniowym** (lub cyklicznym). Uproszczony schemat układu takiego rejestru przedstawiono na rys. 7. Stany przyjmowane przez przerzutniki JK po włączeniu zasilania są w ogólnym przypadku nieznane, zatem układ należy rozbudować o obwody asynchronicznego lub synchronicznego ustawiania stanu początkowego. Po ustaleniu stanu początkowego, impulsy podawane na wejście zegarowe spowodują cykliczne przesuwanie sekwencji bitów. Dzięki połączeniu wyjść ostatniego

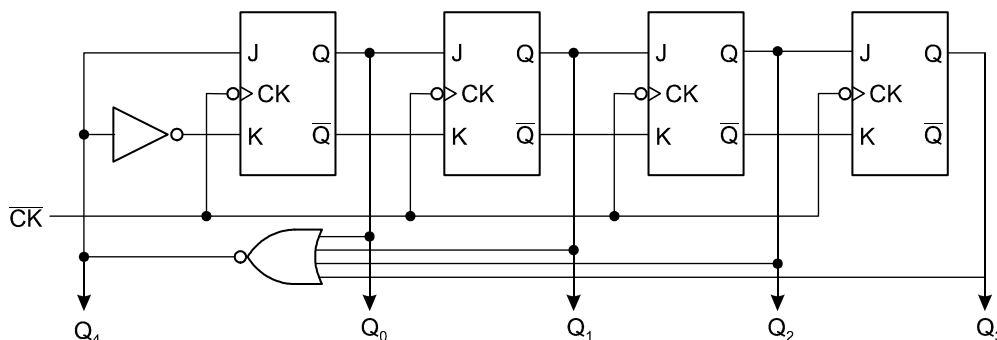
przerzutnika w prawej strony z wejściami przerzutnika pierwszego od lewej strony, sekwencja bitów krąży w obiegu zamkniętym.

W wielu złożonych układach synchronicznych zachodzi potrzeba wykonywania pewnej sekwencji operacji w ustalonym porządku. Do sterowania pracą takich układów można wykorzystać np. licznik pierścieniowy z tzw. „krążącą jedynką”. W układzie zrealizowanym wg schematu na rys. 8 stan 1 jest zapisywany na wejście J pierwszego przerzutnika z lewej strony (tożsame z wyjściem licznika Q_4) wtedy i tylko wtedy gdy wszystkie wyjścia Q_0 , Q_1 , Q_2 i Q_3 znajdują się w stanie 0. W następnych cyklach stan 1 jest przesuwany w prawo, natomiast na następujących za nim pozycjach z lewej strony wprowadzane są zera aż do powrotu do sytuacji początkowej. Licznik tego typu zbudowany z N przerzutników ma zatem cykl pracy o długości $N + 1$.

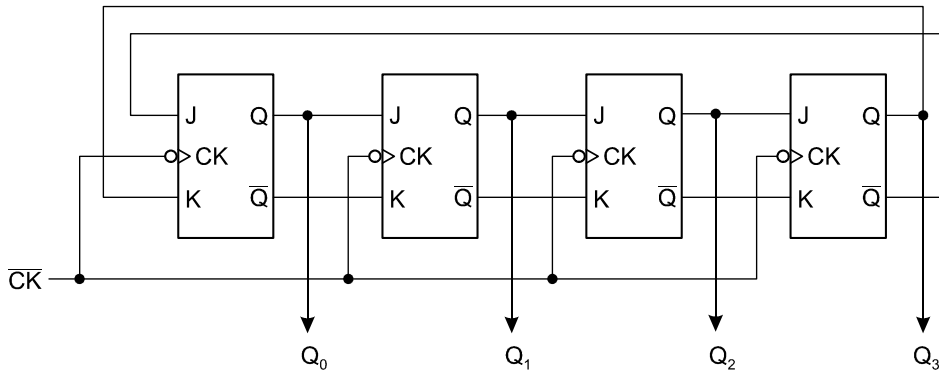
Jeżeli w układzie licznika pierścieniowego przedstawionego na rys. 9 zamienimy połączenia wyjść Q oraz \bar{Q} jednego z przerzutników, to otrzymamy licznik pseudo-pierścieniowy zwany licznikiem Johnsona. Układ przedstawiony na rys. 9 zapewnia samoczynne wzbudzenie na wyjściach Q_0 , Q_1 , Q_2 i Q_3 sekwencji złożonej zarówno z zer jak i jedynek, jednakże sekwencja ta nie jest jednoznaczna. Dla układu złożonego z 4 przerzutników możliwe są dwie sekwencje o ile układ nie zostanie rozbudowany o obwody ustawiania stanu początkowego lub automatycznej korekcji błędnych stanów. Cykl pracy licznika tego typu zbudowanego z N przerzutników obejmuje $2N$ stanów.



Rys. 7. Zasada budowy licznika pierścieniowego z przerzutników typu JK. Pominięto obwody ustawiania początkowego stanu licznika.



Rys. 8. Licznik pierścieniowy z jedną krążącą jedynką i automatyczną korekcją błędnych stanów.



Rys. 9. Zasada budowy pseudo-pierścieniowego licznika Johnsona z przerzutników typu JK. Pominięto obwody ustawiania początkowego stanu licznika.

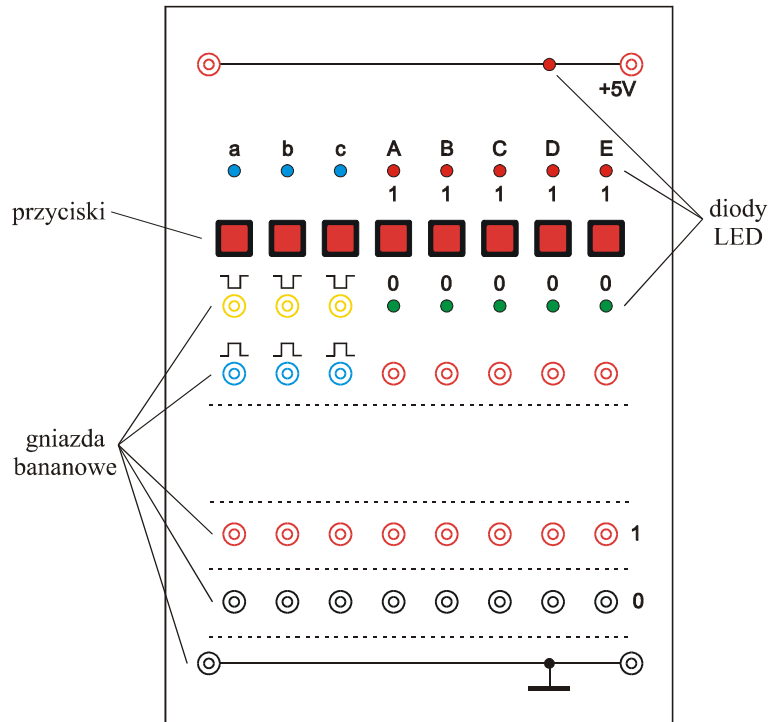
4. Dostępna aparatura

4.1. Moduł zadajnika stanów logicznych

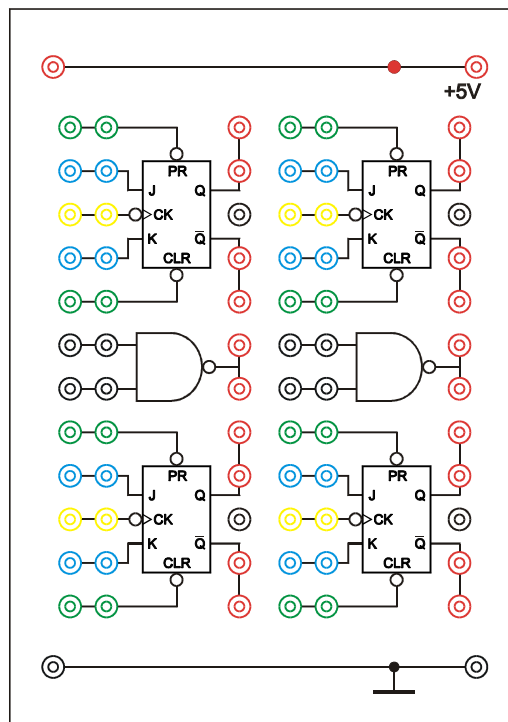
Moduł zadajnika stanów logicznych składa się z pięciu przełączników umożliwiających wybór stanu logicznego 0 albo 1 w czerwonych gniazdach umieszczonych pod przełącznikami (rys. 10). Ponadto moduł zawiera trzy generatory pojedynczego impulsu, przy czym na osobnych gniazdach dostępny jest zarówno impuls stanu 1 (gniazda niebieskie) jak i impuls stanu 0 (gniazda żółte). Generator impulsów jest przydatny jako źródło sygnału zegarowego synchronizującego przejścia badanego układu sekwencyjnego. Ponadto, kolejny kanał generatora impulsów można wykorzystać do wstępnego zerowania/ustawiania przerzutników przy użyciu ich wejść asynchronicznych. W przypadku gdy liczba przełączników jest niewystarczająca, najrzadziej przełączane wejścia badanego układu należy podłączyć do gniazd o ustalonym stanie 0 albo 1 umieszczonych w dolnej części modułu.

4.2. Moduł przerzutników

Moduł przerzutników (rys. 11) zawiera cztery przerzutniki JK Master-Slave z dodatkowymi wejściami asynchronicznego zerowania \overline{CLR} oraz ustawiania \overline{PR} (negacja oznacza aktywność dla wejścia w stanie 0). Wejścia każdego z przerzutników zostały wyprowadzone niezależnie od wejść innych przerzutników. Przerzutniki te pod względem funkcjonalnym odpowiadają przerzutnikom dostępnym w układach scalonych 7476 (wewnętrzna struktura takiego przerzutnika została przedstawiona w aneksie A). Ponadto moduł przerzutników wyposażono w dwie dwuwejściowe bramki NAND. Jeżeli wymagana jest większa liczba bramek, należy wykorzystać dodatkowe moduły z bramkami.



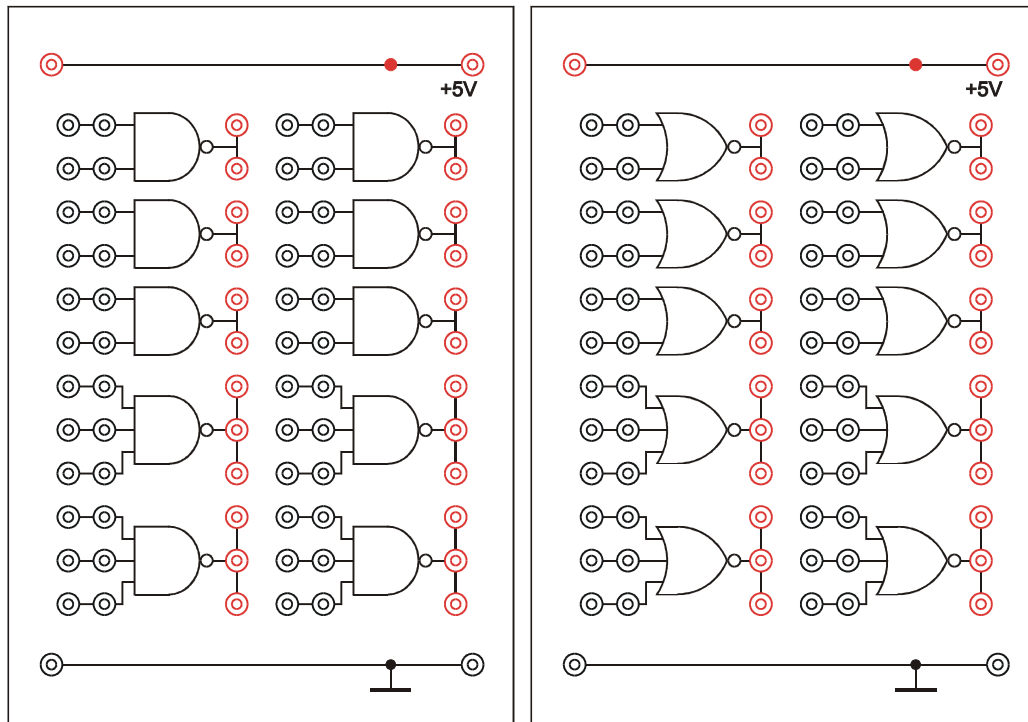
Rys. 10. Panel czołowy modułu zadajnika stanów logicznych.



Rys. 11. Panel czołowy modułu przerzutników JK-MS i bramek logicznych NAND.

4.3. Moduły bramek logicznych

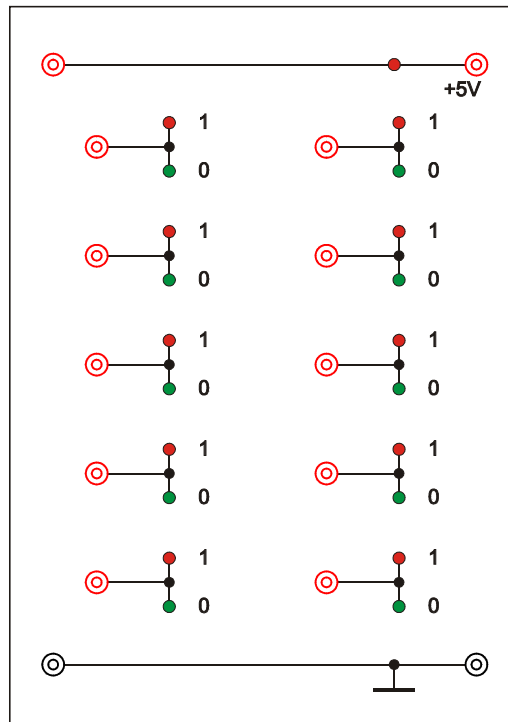
Jeden moduł bramek logicznych (rys. 12) zawiera 6 dwuwęściowych bramek NAND oraz 4 trzywęściowe bramki NAND, zaś potrzebne bramki NOT realizuje się przy użyciu zworek zwierających wejścia bramek NAND. Ponadto na stanowisku doświadczalnym powinien być dostępny jeden moduł zawierający 6 dwuwęściowych bramek NOR oraz 4 trzywęściowe bramki NOR. Wszystkie pozostałe funkcje logiczne należy realizować przez połączenia dostępnych bramek.



Rys. 12. Panele czołowe modułów bramek logicznych NAND oraz NOR.

4.4. Moduł testera stanów logicznych

Moduł testera stanów logicznych zawiera 10 niezależnych testerów (rys. 13). Każdy tester zaopatrzony jest w jedno wejście pomiarowe oraz diody czerwoną i zieloną, których zapalenie symbolizuje stan logiczny odpowiednio 1 i 0. Jednoczesne świecenie diody czerwonej i zielonej oznacza wzbudzenie oscylacji w badanym układzie. Trwałe oscylacje nie powinny występować w poprawnie połączonym układzie rejestru, zatem ich obecność wskazuje na błąd w sieci połączeń. W przypadku gdy na wejściu pomiarowym występuje stan wysokiej rezystancji lub doprowadzone napięcie względem masy nie odpowiada żadnemu stanowi logicznemu obie diody są zgaszone. Wystąpienie takiego stanu na wejściu pomiarowym podłączonym do wyjścia przerzutnika, bramki logicznej lub modułu zadawania stanów wskazuje na złamanie przewodu, brak kontaktu, awarię przyrządów lub brak zasilania.



Rys. 13. Panel czołowy modułu testera stanów logicznych.

4.5. Zasilacz

Zasilanie wszystkich modułów doświadczalnych opisanych powyżej zrealizowano przy użyciu jednego zasilacza laboratoryjnego SIGLENT SPD3303D. Spośród trzech kanałów tego zasilacza w tym ćwiczeniu wykorzystywany jest tylko kanał o ustalonym napięciu +5V prądu stałego. Alternatywnie na stanowisku może znajdować się zasilacz dogniazdkowy +5V z przewodem zakończonym wtyczkami bananowymi.

5. Przebieg doświadczenia

Pierwszym krokiem powinno być zapoznanie się z podstawami teoretycznymi oraz staranne przygotowanie projektów wybranych rejestrów. **W przypadku bardziej złożonych zadań nakład pracy niezbędnej na tym etapie może być znaczny i zalecane jest przygotowanie brudnopisu projektu przed zajęciami laboratoryjnymi.** Dysponując projektem można przystąpić do połączenia zaprojektowanego układu wykorzystując dostępne przerzutniki i bramki logiczne.

Odpowiedzi układu bada się przy użyciu testera stanów logicznych tylko na jawnych wyjściach układu, natomiast śledzenie innych stanów wewnętrznych w rejestrach zazwyczaj nie jest konieczne. Generując pojedyncze impulsy na wejściu zegarowym CK badania prowadzi się w zakresie pełnego cyklu przesunięć danych w rejestrze przesuwym. Jeżeli układ posiada dodatkowe wejścia sterujące zerowaniem, przepisywaniem danych z wejść równoległych lub wyborem realizowanej mikrooperacji, należy zbadać zachowanie układu po zmianach stanów na tych wejściach, powtarzając badania dla kilku wybranych stanów wewnętrznych rejestru. Dane zebrane doświadczalnie porównuje się z założeniami teoretycznymi.

5.1. Kolejność czynności

1. W porozumieniu z prowadzącym zajęcia wybrać zadanie/zadania do realizacji. Przykładowe zadania zebrano w następnym rozdziale. Wykonawcy ćwiczeń mogą zaproponować własne zadania.
2. Przygotować wstępny schemat układu rejestru.
3. Połączyć z wyłączonym zasilaczem wszystkie moduły umieszczone na stelażu. W tym celu w skrajnym prawym albo lewym module połączyć przewodami linię masy (na dole modułu) i zasilania +5V (na górze) z wyjściem zasilacza. Zasilanie pozostałych modułów realizuje się poprzez połączenie analogicznych linii w sąsiednich modułach.

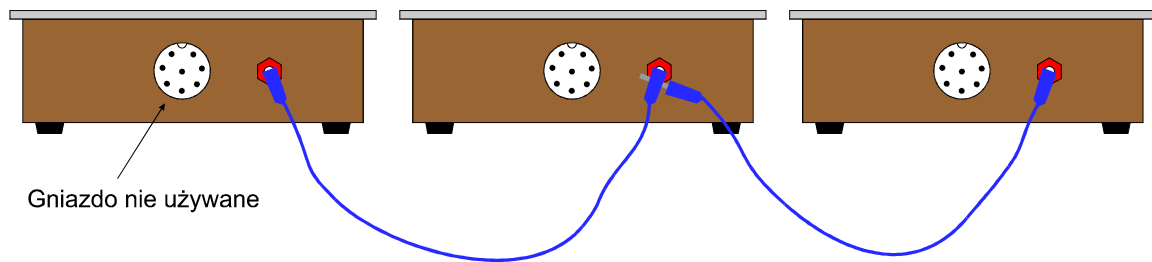
UWAGA:

a) wszystkie moduły powinny być zasilane z wyjścia zasilacza zapewniającego stałe napięcie +5V (gniazda z prawej strony zasilacza). Nie używać wyjść umożliwiających płynną zmianę napięcia,

b) nie wolno łączyć zasilania +5V z wyjściami przerzutników, bramek lub wyjściami zadajnika stanów logicznych.

Nieprzestrzeganie powyższych zaleceń grozi uszkodzeniem urządzeń.

4. Jeżeli moduły z elementami logicznymi wyposażone są w dodatkowe gniazda bananowe umieszczone od dołu na blaszanych obudowach, to zalecane jest ich połączenie zgodnie z rys. 14. Połączenie to umożliwia synchronizację pracy modułów. Połączenia więcej niż dwóch modułów realizuje się przy użyciu przewodów ze specjalnymi wtykami bananowymi, które są jednocześnie gniazdami dla kolejnego przewodu. Nie wykorzystywać przewodów tego typu do realizacji innych połączeń, przy których wystarczą przewody ze zwykłymi wtykami.
5. Po uzyskaniu zezwolenia włączyć zasilacz i sprawdzić czy świecą się czerwone diody umieszczone na linii +5V. Świecenie diody o innym kolorze oznacza awarię wewnętrzną modułu z elementami logicznymi. W module testera stanów logicznych wszystkie diody symbolizujące stan 0 lub 1 powinny być zgaszone przy rozwartych wejściach testerów.



Rys. 14. Zalecane połączenie między modułami przy realizacji układów sekwencyjnych.

6. Połączyć zaprojektowany układ, do wejścia zegarowego doprowadzić sygnał z generatora pojedynczego impulsu w module zadawania stanów, do pozostałych wejść doprowadzić sygnały z przełączników w tym samym module, natomiast jawne wyjścia układu połączyć z testerem stanów logicznych. Rozważyć jaki rodzaj impulsu zegarowego zapewni najlepsze rezultaty - jeżeli wejścia zegarowe \overline{CK} przerzutników są podłączone do zadajnika bez pośrednictwa bramek wprowadzających negację, to zalecany jest impuls dodatni \square . W celu uproszczenia sieci połączeń można założyć, że wszystkie niepodłączone wejścia przerzutników mają domyślny stan wysoki. Obwody elektroniczne są zabezpieczone przed przypadkowymi błędnymi połączeniami obejmującymi kilka wyjść bramek logicznych, przerzutników lub wyjść modułu zadawania stanów logicznych.
7. Generując pojedyncze impulsy zegarowe zbadać pełny cykl przepływu informacji przez rejestr. Sporządzić tabelę przedstawiającą kolejne stany wyjść po każdym pojedynczym impulsie zegarowym. Dla układów z wejściami (wejściami) programującym wykonywaną mikrooperację (np. zakres zliczania w liczniku) powtórzyć badania dla każdego dozwolonego stanu tych wejść. Jeżeli układ jest wyposażony w dodatkowe wejścia zerowania lub zapisywania z wejść równoległych, to należy zbadać odpowiedź układu na zmiany stanów na każdym z tych wejść dla kilku wybranych stanów wewnętrznych rejestru.
8. Porównać rezultaty uzyskane w punkcie 7 z założeniami teoretycznymi. W przypadku stwierdzenia rozbieżności podjąć próbę ich wyjaśnienia i usunięcia przez sprawdzenie luzów w połączeniach realizowanych przy użyciu przewodów i zworek, sprawdzenie poprawności połączeń wykonanych w punkcie 6 oraz ponowne przeanalizowanie projektu. Po dokonaniu poprawek powtórzyć badania opisane w punkcie 7. Jeśli próby usunięcia rozbieżności nie powiodą się zawiadomić obsługę pracowni.
9. Zanotować w brudnopisie, czy badania zakończyły się sukcesem. Jeżeli układ był poprawiany w porównaniu z pierwszą wersją projektu, to brudnopis powinien zawierać opis zmienionych składników projektu.
10. W obecności opiekuna dydaktycznego wykonać skróconą prezentację działania układu dla niektórych przejść.
11. Jeżeli zespół zdecydował się na wykonanie kolejnego zadania, rozłączyć połączenia pozostawiając jednak obwody zasilania. Wykonać nowe badania wg powyższego planu.
12. Przedstawić do zatwierdzenia brudnopisy z projektami układów oraz wynikami badań.
13. Wyłączyć zasilanie, rozłączyć połączenia i uprzątnąć stanowisko.

5.2. Propozycje zadań realizowanych przez układy rejestrów

Należy zaprojektować, połączyć i przetestować układy realizujące wybrane zadania spośród poniższej listy. Liczba gwiazdek w nawiasach opisuje stopień trudności zadania. Realizacja zadań o zbyt małej łącznej liczbie gwiazdek powoduje ograniczenie oceny za kompletne i poprawne sprawozdanie (zasady oceniania podano na końcu rozdziału 6).

1. (*) 4-bitowy jednokierunkowy rejestr przesuwany SIPO. Układ, oprócz wejścia zegarowego CK (*clock*) i wejścia szeregowego dla danych X , posiada także **asynchroniczne** wejście zerowania \overline{CLR} (*clear*), które dla $\overline{CLR} = 0$ powoduje wyzerowanie całego rejestru w sposób nadrzędny nad operacją przesuwu. Przetestować zapisywanie do rejestru dla kilku wybranych 4-bitowych sekwencji danych, po zapisie całej sekwencji dokonać zerowania i upewnić się, że szeregowe wprowadzanie danych nie jest możliwe podczas podtrzymywania sygnału zerowania $\overline{CLR} = 0$.
2. (**) 4-bitowy jednokierunkowy rejestr przesuwany SIPO. Układ, oprócz wejścia zegarowego CK (*clock*) i wejścia szeregowego dla danych X , posiada także **synchroniczne** wejście zerowania CLR (*clear*), które dla $CLR = 0$ powoduje wyzerowanie całego rejestru po wystąpieniu dodatniego impulsu zegarowego $0 \rightarrow 1 \rightarrow 0$. Przetestować zapisywanie do rejestru dla kilku wybranych 4-bitowych sekwencji danych, po zapisie całej sekwencji dokonać zerowania.
3. (**) 3-bitowy jednokierunkowy rejestr przesuwany PISO. W zależności o stanu wejścia LD (*load*) układ może wykonywać dwie mikrooperacje: dla $LD = 0$ przesuw danych po wystąpieniu dodatniego impulsu zegarowego $0 \rightarrow 1 \rightarrow 0$; dla $LD = 1$ asynchroniczne przepisanie danych z wejść równoległych. Układ nie posiada wejścia zerowania. Przetestować zapisywanie do rejestru kilku wybranych słów 3-bitowych a następnie przepisywanie kolejnych bitów słowa na wyjście szeregowe.
4. (**) Układ jednokierunkowej transmisji 2-bitowych słów po pojedynczej linii szeregowej. Założyć, że blok nadawczy oraz blok odbiorczy mają dostęp do wspólnego sygnału zegarowego CK . Dla uproszczenia układu pominąć obwody automatycznego sterowania – przyjąć, że po każdym zapisaniu danych do rejestru nadawczego przez ustawie wejścia LD (*load*) w stanie 1 następują zawsze dwa dodatnie impulsy zegarowe, tzn. $0 \rightarrow 1 \rightarrow 0$. Przetestować transfer danych dla poszczególnych kombinacji bitów w 2-bitowym słowie.
5. (**) Licznik pierścieniowy o długości cyklu pracy 4, z jednym krążącym zerem i automatyczną korektą błędnych stanów.
6. (***) Jednokierunkowy rejestr przesuwający, który można wykorzystać do dzielenia 4-bitowych liczb całkowitych przez 2 bez uwzględnienia reszty z dzielenia. Układ powinien poprawnie dzielić zarówno liczby całkowite bez znaku przedstawione w naturalnym kodzie dwójkowym (NKB), jak i liczby całkowite ze znakiem w kodzie uzupełnień do dwóch (U2). W zależności o stanu wejścia LD (*load*) układ może wykonywać dwie mikrooperacje: dla $LD = 0$ dzielenie przez 2 po wystąpieniu dodatniego impulsu zegarowego $0 \rightarrow 1 \rightarrow 0$; dla $LD = 1$ asynchroniczne przepisanie danych z wejść równoległych. Ponadto dodatkowe wejście S (*sign*) określa format liczby: liczba w formacie NKB dla $S = 0$ albo liczba ze znakiem w formacie U2 dla $S = 1$. W przypadku liczb bez znaku najbardziej znaczący bit należy podczas przesuwania wypełnić wartością 0, natomiast w przypadku liczb ze znakiem bit znaku powinien zostać zarówno skopiowany na kolejną pozycję jak i zachowany w pozycji początkowej. Układ nie posiada wejścia zerowania. Przetestować dzielenie przez dwa dla kilku wybranych wartości liczb osobno dla $S = 0$ oraz $S = 1$.
7. (***) Licznik Johnsona zbudowany z 4 przerzutników z obwodami automatycznej korekty, które gwarantują generowanie tylko jednej możliwej sekwencji stanów wyjściowych wybranej przez zespół projektujący układ. Rozważyć jak autokorekta wpływa na długość cyklu licznika.

6. Wskazówki do raportu

Raport powinien zawierać:

1. Stronę tytułową (wg wzoru).
2. Sformułowanie celu ćwiczenia.
3. Wykaz użytej aparatury. Dla modułów z elementami logicznymi podać także specyfikację dostępnego zestawu bramek logicznych i przerzutników (typy bramek i ich liczba wejść, typ przerzutników, liczba dostępnych elementów poszczególnych typów).
4. Treść zadania, które powinien realizować zbudowany rejestr. Jeżeli treść zadania nie jest całkowicie jednoznaczna, podać przyjęte dodatkowe założenia i opisać zamierzony sposób działania układu.
5. Schemat połączeń układu złożonego z przerzutników JK-MS oraz bramek logicznych NAND i NOR.
6. Wyniki doświadczalnego badania układu obejmujące pełny cykl przepływu danych przez rejestr. Dla układów z wejściami programującymi realizowaną funkcję podać wyniki badań we wszystkich możliwych wariantach pracy. Jeżeli układ posiada dodatkowe wejścia sterujące zerowaniem lub zapisywaniem z wejść równoległych, podać przykłady zachowania układu po zmianach stanów tych wejść.
7. Dyskusję uzyskanych wyników. Podsumować rezultat porównania wyników otrzymanych doświadczalnie z założeniami teoretycznymi. W przypadku wystąpienia rozbieżności opisać środki podjęte w celu ich usunięcia, znalezione błędy i uzyskany ostatecznie rezultat. Czy z perspektywy czasu dostrzeżono jakąś alternatywną możliwość realizacji układu, dla której liczba użytych elementów jest porównywalna lub mniejsza, ewentualnie istnieje możliwość wyeliminowania niepożądanych właściwości układu?
8. Punkty 4 ÷ 7 powtórzyć w sprawozdaniu dla każdego zrealizowanego zadania.

W raporcie ocenie podlegać będzie obecność i poprawność wszystkich wymienionych powyżej składników, czytelność prezentacji wyników w postaci tabel i schematów wraz z opisami oraz jakość sformułowanych wniosków. Wstęp teoretyczny nie jest wymagany i w przypadku jego zamieszczenia w raporcie nie wpłynie na ocenę.

Ponadto ocena za poprawne i kompletne sprawozdanie zależy od łącznej liczby gwiazdek opisujących trudność zadań, których wykonanie udokumentowano w zatwierdzonym brudnopisie. Jeżeli prowadzący zajęcia nie poda inaczej obowiązuje następująca tabela:

Suma gwiazdek za wykonane zadania	Maksymalna ocena ze sprawozdania w skali 0...5 pkt.
0	nie zaliczone
1	3 pkt.
2	4 pkt.
≥ 3	5 pkt.

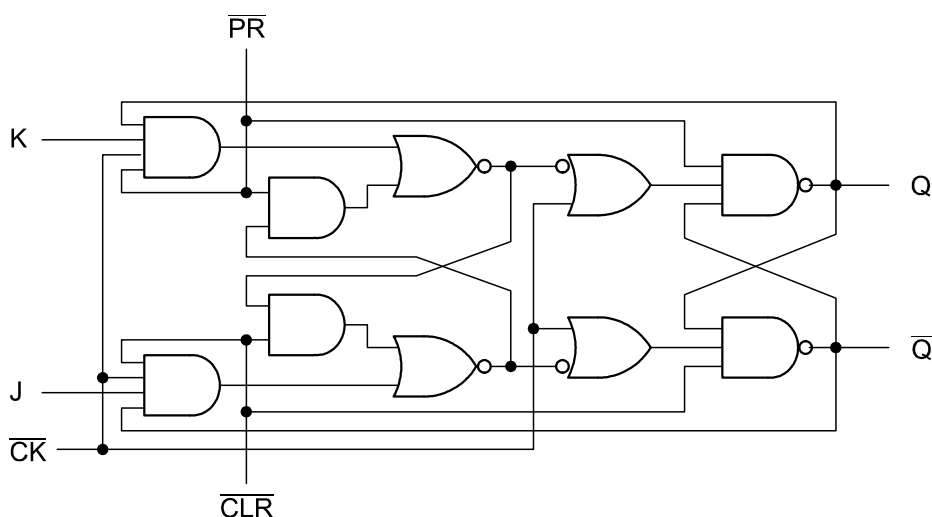
7. Literatura

- [1] H. Kamionka-Mikuła, H. Małyśiak, B. Pochopień, *Synteza i analiza układów cyfrowych*, Wydawnictwo Pracowni Komputerowej Jacka Skamierskiego, Gliwice 2006.
- [2] P. Misiurewicz, *Układy automatyki cyfrowej*, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 1984.
- [3] W. Traczyk, *Układy cyfrowe. Podstawy teoretyczne i metody syntezy*, WNT, Warszawa 1986.
- [4] W. Sasal, *Układy scalone serii UCA64/UCY74. Parametry i zastosowania*, WKiŁ, Warszawa 1990.
- [5] J. Kalisz, *Podstawy elektroniki cyfrowej*, WKiŁ, Warszawa 2002.
- [6] M. Molski, *Wstęp do techniki cyfrowej*, WKiŁ, Warszawa 1989.
- [7] A. Barczak, J. Florek, T. Sydoruk, *Elektroniczne Techniki Cyfrowe*, VIZJA PRESS&IT Sp. z o.o., Warszawa 2006.
- [8] W. Głocki, *Układy cyfrowe*, Wydawnictwa Szkolne i Pedagogiczne, Warszawa, 2008.

Aneksy

A. Układ przerzutników JK-MS 7476

Przerzutniki dostępne na stanowisku doświadczalnym są funkcjonalnym odpowiednikiem przerzutników z układu scalonego 7476, który zawiera dwa niezależnie pracujące przerzutniki typu JK Master-Slave z dodatkowymi asynchronicznymi wejściami zerowania \overline{CLR} (clear) i ustawiania \overline{PR} (preset).



Rys. A1. Schemat logiczny jednego przerzutnika JK Master-Slave z układu scalonego 7476. Układ scalony zawiera dwa takie przerzutniki o niezależnie wprowadzonych wszystkich wejściach i wyjściach.

\overline{CLR}	\overline{PR}	J	K	\overline{CK}	Q	\overline{Q}
0	0	–	–	–	1*	1*
0	1	–	–	–	0	1
1	0	–	–	–	1	0
1	1	0	0		Q_0	\overline{Q}_0
1	1	1	0		1	0
1	1	0	1		0	1
1	1	1	1		\overline{Q}_0	Q_0

Tabela A1. Tablica przejść przerzutnika typu JK Master-Slave z układu scalonego 7476. Oznaczenia:

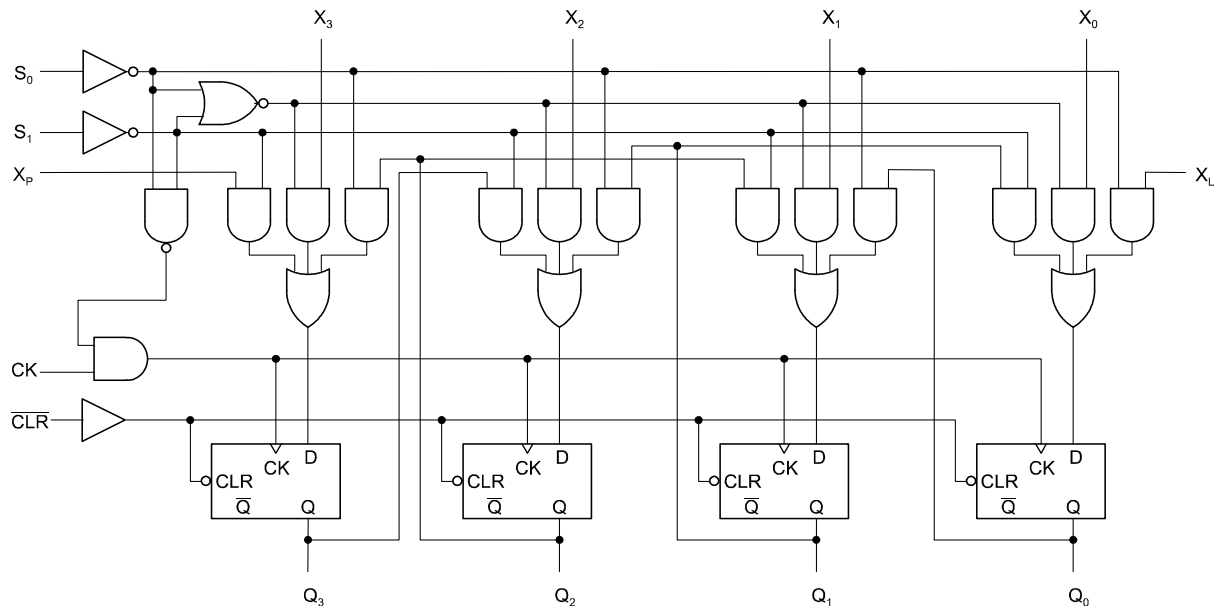
1* - stany niestabilne; w przypadku przejścia $\overline{CLR} = \overline{PR} = 0 \rightarrow 1$ stan wyjść jest nieznanym,

Q_0 - stan wyjścia Q przed opadającym zboczem na wejściu \overline{CK} ,

\overline{Q}_0 - stan wyjścia \overline{Q} przed opadającym zboczem na wejściu \overline{CK} .

B. Rejestr uniwersalny 74194

Układ 74194 jest 4-bitowym rejestrem uniwersalnym. Rejestr wykonuje w sposób synchronicznych mikrooperacje przesunięcia danych w lewo, w prawo, oraz wprowadzania danych z wejść równoległych $X_0X_1X_2X_3$. Do wyboru realizowanej mikrooperacji służą wejścia sterujące S_0 i S_1 . Rejestr można wyzerować w sposób asynchroniczny i nadrzędny nad pozostałymi mikrooperacjami. Produkowany jest także rejestr 8-bitowy w układach scalonych 74198, który funkcjonalnie odpowiada układowi dwóch połączonych rejestrów 74194.



Rys. B1. Schemat rejestru uniwersalnego 74194. Oznaczenia: CK - wejście zegarowe; S_0 i S_1 – wejścia sterujące wyborem mikrooperacji synchronicznego przesunięcia w prawo, w lewo, albo wpisywaniem z wejść równoległych $X_0X_1X_2X_3$; \overline{CLR} – wejście zerowania asynchronicznego; X_P i X_L – wejście wpisywania szeregowego przy przesunięciach odpowiednio w prawo oraz w lewo.

\overline{CLR}	S_0	S_1	CK	mikrooperacja
0	–	–	–	$Q := 0$
1	0	0	↑	nic nie rób
1	0	1	↑	przesuw w lewo
1	1	0	↑	przesuw w prawo
1	1	1	↑	$Q := X$

Tabela B1. Tablica przejść rejestru uniwersalnego 74194.